

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
Національний університет «Запорізька політехніка»

КОНСПЕКТ лекцій з дисципліни  
Основи електроніки та мікропроцесорної техніки.  
для студентів спеціальності 132 “Матеріалознавство”  
усіх форм навчання  
Частина 2

2020

КОНСПЕКТ лекцій з дисципліни “ Основи електроніки та мікропроцесорної техніки.” для студентів спеціальності 132 “Матеріалознавство” усіх форм навчання, частина 2 / Укл.- доцент Антонов М.Л, старший викладач Васильєва Є.В- Запоріжжя: НУ”Запорізька Політехніка”, 2020-61с.

Укладачі: доцент Антонов М.Л  
старший викладач Васильєва Є.В

Рецензент: Казурова А.Є

Відповідальний  
за випуск: Васильєва Є.В

Затверджено  
на засіданні кафедри  
”№9 ”  
Протокол №  
від “ 24 лютого” 2020.

Рекомендовано до  
видання  
НМК ЕТФ  
Протокол № 7  
від “5 березня ” 2020.

**ЗМІСТ**

6 Перетворювачі частоти .....	87
7 Основи цифрової техніки.....	103
8 Цифрові елементи пам'яті.....	114
9 Архітектура мікропроцесора.....	131

## 6 ПЕРЕТВОРЮВАЧІ ЧАСТОТИ

### 6.1 Загальна характеристика перетворювачів частоти

В електроприводах змінного струму для задач керування асинхронними та синхронними двигунами широкого поширення набули перетворювачі частоти. Електроприводи із частотним керуванням за своїми регулювальними властивостями не поступаються електроприводам постійного струму, а за економічними та малогабаритними показниками здебільшого переважають їх.

Схеми силової частини перетворювачів частоти дуже різ-номанітні, і застосування тієї чи іншої схеми визначається конкретними вимогами до привода змінного струму. У сучасних перетворювачах частоти як силові ключі використовують тиристри чи силові транзистори.

У загальному випадку до перетворювачів частоти висувають наступні вимоги:

- висока надійність і простота схеми;
- високий коефіцієнт корисної дії;
- мінімальна потужність встановленого електромеханічного обладнання;
- широкий діапазон незалежного регулювання вихідної напруги й частоти;
- сталість вихідної напруги при зовнішніх впливах;
- можливість рекуперації енергії в гальмівних режимах;
- близька до синусоїди форма вихідної напруги.

Використання в системах автоматизованого електропривода перетворювачів частоти з двигунами змінного струму забезпечує такі показники: економічність роботи при одночасній можливості широкої зміни швидкості та навантаження, широкий діапазон регулювання швидкості як вниз, так і вгору від номінальної, підвищене значення перевантажувальної здатності за моментом і висока швидкодія при

регулюванні параметрів режиму (струму, швидкості або положення ротора) машини.

## 6.2 Силова частина перетворювачів частоти

За принципом дії та будовою силової частини перетворювачі частоти можна поділити на дві групи: перетворювачі частоти з безпосереднім зв'язком навантаження з мережею живлення та перетворювачі частоти з проміжною ланкою постійного струму (рис. 6.1).

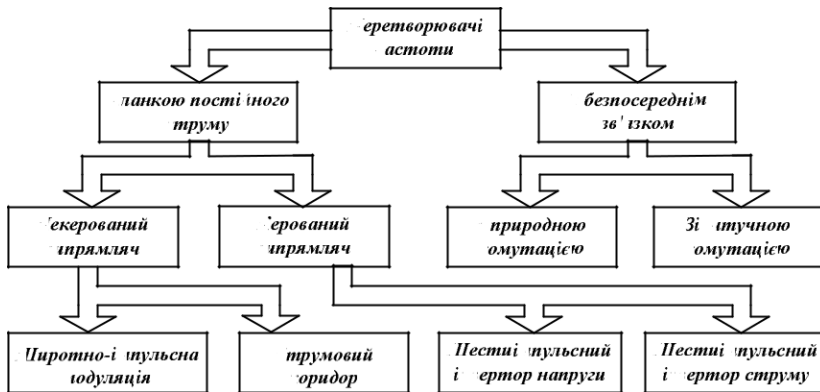


Рисунок 6.1 – Типи перетворювачів частоти

Перетворювачі з безпосереднім зв'язком одноступенєво перетворюють напругу мережі живлення із частотою  $f_1$  на напругу із частотою  $f_2$ . У них вихідна напруга формується з ділянок синусоїд напруги мережі живлення, при цьому двигун у процесі роботи перетворювача через відкриті ключі в кожен момент часу виявляється приєднаним безпосередньо до джерела живлення. Це дозволяє забезпечити двосторонній обмін енергією між АД і мережею живлення, що, у свою чергу, створює можливість роботи двигуна у двох квадрантах механічної характеристики.

Безпосередні перетворювачі частоти можуть бути побудовані на основі частково або повністю керованих ключів. У першому випадку як силові ключі використовують тиристори (симістори) із природною комутацією, у другому – або повністю керовані тиристори, тиристори зі штучної комутацією або транзистори. Застосування штучної комутації дозволяє регулювати вихідну частоту в області нижче і вище частоти мережі живлення.

### 6.3 Силова частина перетворювачів частоти

Силова частина безпосередніх перетворювачів частоти з природною комутацією не відрізняється від силових кіл двокомплектних реверсивних перетворювачів постійного струму, виконаних за різними схемами: нульовими або мостовими, одно- чи багатоімпульсними, зустрічно-паралельними або перехресними, зі спільним або розділним керуванням. Приклад виконання силової схеми такого перетворювача частоти наведено на рис. 6.2.

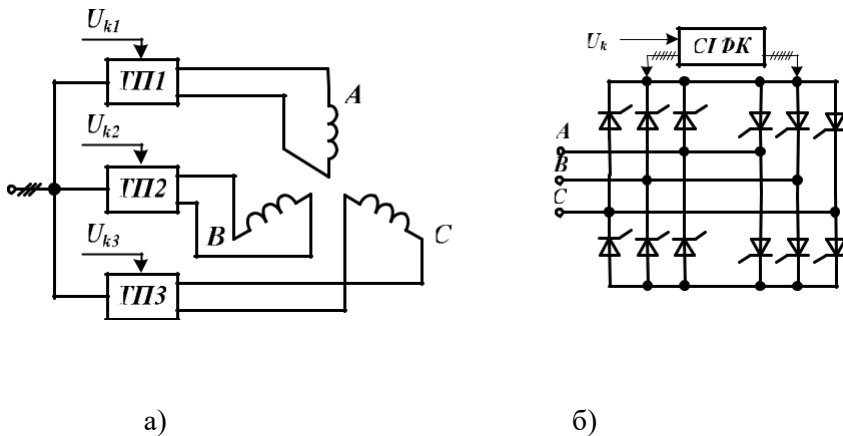


Рисунок 6.2 – Безпосередній перетворювач частоти з природною комутацією: а) структурна схема силової частини; б) структурна схема реверсивного перетворювача

Основні переваги безпосередніх перетворювачів частоти з природною комутацією:

- високий ККД, що досягається завдяки однократному перетворенню енергії;
- можливість двостороннього обміну енергією між мережею живлення та двигуном;
- використання силових ключів з природною комутацією (тиристорів), які є більш надійними, економічними та мають більшу переважувальну здатність, порівняно з пристроями примусової комутації;
- можливість отримання як завгодно низьких частот вихідної напруги перетворювача і забезпечення рівномірного обертання двигуна на малих швидкостях;
- необмежена потужність перетворювачів.

Основні недоліки безпосередніх перетворювачів:

- обмеження максимального значення вихідної частоти на рівні близько  $1/3..2/3$  від частоти мережі живлення;
- низький коефіцієнт потужності, несинусоїдність та модуляція вхідних струмів перетворювача;
- складність силових кіл та кіл керування, що виправдовується лише на великих потужностях.

Безпосередні перетворювачі частоти зі штучною комутацією (матричні) реалізуються на повністю керованих ключах – транзисторах. Вони значною мірою позбавлені зазначених недоліків перетворювачів з природною комутацією. Керування в таких системах здійснюється на основі ШІМ. Приклади реалізації силової схеми перетворювачів зі штучною комутацією наведено на рис. 6.3.

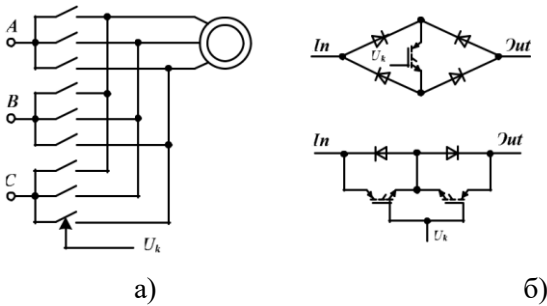


Рисунок 6.3 – Безпосередній перетворювач частоти зі штучною комутацією: а) структурна схема силової частини; б) структурна схема силового ключа

Використання безпосередніх перетворювачів частоти для задач керування АД дозволяє здійснити глибоке регулювання частоти обертання. Наявність великої кількості силових ключів є недоліком таких перетворювачів, але надійність і потужність тиристорних комутаторів визначили галузь, у якій вони застосовуються. Це електроприводи великої потужності зі складними умовами пуску.

У наш час більш широкого поширення набули перетворювачі частоти з ланкою постійного струму. На вході енергетичного каналу цих перетворювачів може бути встановлений керований або некерований випрямляч. Після перетворення випрямлячем енергії змінного струму з постійними значеннями напруги і частоти на енергію постійного струму вона надходить на вхід інвертора і знову перетворюється на енергію трифазного змінного струму, але вже з регульованими параметрами. Таким чином, у перетворювачах частоти даного типу відбувається подвійне перетворення енергії, що дещо знижує його ККД, однак інші істотні переваги цих перетворювачів забезпечують їм домінуюче положення в сучасному автоматизованому електроприводі.

Для енергетичної розв'язки випрямляча та інвертора між ними встановлюють накопичувач енергії. Залежно від виду цього



накопичувача – конденсатор чи індуктивність – інвертор працює або в режимі джерела напруги, або джерела струму.

На рис. 6.4 зображено схему силової частини перетворювача частоти з ланкою постійного струму, на вході якого встановлений керований випрямляч. Зсув фаз вихідної напруги інвертора забезпечується алгоритмом роботи ключів, а частота регулюється тактовою частотою комутації  $f_1$ , що задається пристроєм керування. Керування амплітудою напруги чи струму здійснюється за допомогою керованого випрямляча.

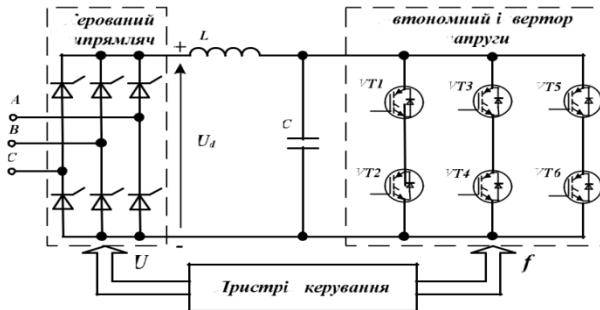


Рисунок 6.4 – Перетворювач частоти з ланкою постійного струму та керованим випрямлячем

Перетворювачі частоти з інвертором струму забезпечують двосторонній напрямок обміну енергією між АД і мережею живлення та роботу двигуна у двох квадрантах механічної характеристики, у той час як перетворювачі з інверторами напруги тільки в одному квадранті (двигунному). Тим не менш, більш поширеними на практиці є перетворювачі частоти з інверторами напруги. Це пов'язано з тим, що більша частина завдань електропривода не потребує роботи АД у генераторному режимі, а короточасні виходи до цієї області пов'язані з помірною кількістю виробленої енергії, яка може розсіюватися на гальмівному резисторі. Крім того, дросель має істотно гірші масогабаритні показники, порівняно з конденсаторною батареєю.

Розглянуті вище перетворювачі частоти належать до більш ранніх етапів розвитку електропривода змінного струму. До основних їх недоліків можна віднести:

- несинусоїдність вихідного струму і нерівномірність обертання двигуна на малих частотах, що обмежує діапазон регулювання швидкості;
- обмеження швидкодії, пов'язане з наявністю силового фільтра в каналі регулювання амплітуди вихідної напруги (струму);
- низький "мережний" коефіцієнт потужності, що зумовлений властивостями керованого випрямляча з природною комутацією й імпульсно-фазовим керуванням.

Інший клас перетворювачів частоти з ланкою постійного струму складають перетворювачі, у яких функції регулювання обох вихідних параметрів (амплітуди і частоти) покладені на інвертор, а у випрямлячі використовуються некеровані діоди (рис. 6.5). Такий тип перетворювачів належить до широтно-імпульсних перетворювачів, а інвертор, що працює в режимі широтно-імпульсної модуляції, – до широтно-імпульсних регуляторів.

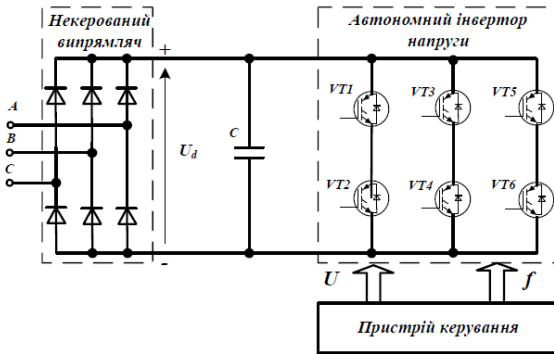


Рисунок 6.5 – Перетворювач частоти з ланкою постійного струму та некерованим випрямлячем

Перехід до широтно-імпульсного способу формування вихідної напруги істотно змінив властивості перетворювачів частоти:

- форма вихідного струму істотно наблизилася до синусоїдної, покращилася рівномірність обертання вала електродвигуна, розширився діапазон регулювання швидкості;

- значно підвищилася швидкодія електропривода, оскільки силовий фільтр фактично вимкнений з каналів регулювання вихідної напруги перетворювача;

- істотно покращився коефіцієнт потужності.

Однак треба враховувати і ряд негативних ефектів, пов'язаних з підвищенням частоти ШІМ, а саме наявність електромагнітних перешкод, що впливають на інші електротехнічні та радіотехнічні пристрої, і виникнення перенапруг у колі навантаження, що небезпечно для ізоляції обмоток двигуна.

Загалом можна виділити наступні переваги перетворювачів з ланкою постійного струму:

- можливість отримання на виході перетворювача широкого діапазону частот, незалежно від частоти мережі живлення;

- можливість використання відносно простих силових схем і систем керування;

- можливість реалізації різноманітних алгоритмів керування, які відповідають вимогам, що висувають до систем автоматизованого електропривода.

До основних недоліків перетворювачів з ланкою постійного струму належать:

- дворазове перетворення енергії, що збільшує втрати енергії, погіршує масогабаритні показники перетворювача;

- наявність у ланці постійного струму силового фільтра, що містить батарею конденсаторів значної ємності (у схемах з АІН) або реактор зі значною індуктивністю (у схемах з АІТ), що призводить до погіршення масогабаритних показників, а електролітичні конденсатори – до зниження надійності.

### 6.3 Формування керуючих сигналів в автономних інверторах напруги

Найбільш поширеною схемою силової частини інвертора є трифазна мостова схема (рис. 6.6), що складається із шести керованих транзисторних ключів (VT1–VT6). Керування частотою напруги на виході перетворювача здійснюється шляхом впливу на систему керування інвертора, у якій сигнал задання частоти перетворюється на тривалість сигналів керування, що подаються на транзистори інвертора відповідно до встановленого алгоритму. Значення амплітуди напруги змінного струму на виході інвертора визначається значенням випрямленої напруги  $U_d$ , із якого формується вихідна напруга перетворювача.

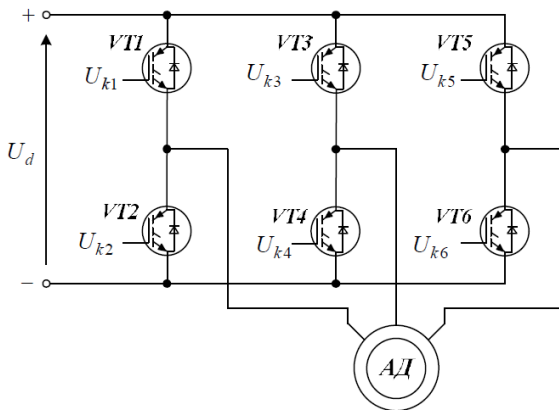


Рисунок 6.6 - Мостова схема автономного трифазного інвертора

Статорні обмотки АД при живленні від такого інвертора вмикаються або за схемою «зірка», або за схемою «трикутник». Як у першому, так і в другому випадку перемикання транзисторних ключів будь-якої фази інвертора викликає зміну напруги на всіх обмотках двигуна.

На даний час відома велика кількість різних способів керування силовими ключами інвертора. Найбільш простим з них є спосіб, у якому кутова тривалість замкнутого стану ключів (відкритого стану транзисторів, що працюють у ключовому режимі) дорівнює  $180^\circ$  (рис. 6.7).

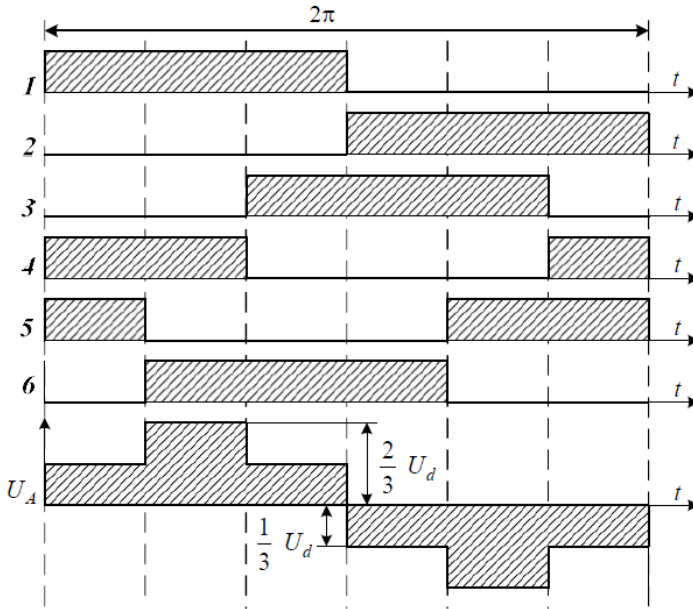


Рисунок 6.7 – Алгоритм керування АІН при  $\alpha = 180^\circ$

У даному випадку в кожен момент часу замкнуті три ключі. Стан ключів змінюється через кожну шосту частину періоду, тривалість якої в одиницях часу  $t$  визначається заданим значенням частоти на виході інвертора як  $t = \frac{\pi}{3}$ . Таким чином, зміна сигналу задання частоти на вході системи керування інвертором призводить до зміни цієї тривалості. Послідовність замикання ключів 1–2–3–4–5–6 відповідає певному напрямку обертання двигуна. Для його зміни ця послідовність повинна бути змінена на зворотну.

З діаграми очевидно, що існує шість ненульових станів ключів, при яких завжди замкнені два парні та один непарний або один парний і два непарні транзисторні ключі. Окрім них, можуть ще використовуватися два нульові стани, при яких замкнуті ключі 1–3–5 або 2–4–6 і всі три фази статора будуть замкнені на позитивний або негативний вихід випрямляча, що відповідає нулю напруги на навантаженні. Послідовність керування транзисторними ключами наступна – 123, 234, 345, 456, 561, 612.

Несинусоїдність вихідної напруги перетворювача призводить до несинусоїдності струму в статорних обмотках і пульсації моменту двигуна. Ці пульсації особливо сильно проявляються при зниженій частоті та невеликому моменті інерції механізму і викликають нерівномірність обертання двигуна, а іноді й виникнення крокового режиму, коли двигун обертається із зупинками. Таким чином, несинусоїдний характер напруги на виході випрямляча накладає обмеження на можливий діапазон регулювання швидкості електропривода.

Значним недоліком представленого способу керування є необхідність використання керованого випрямляча для зміни напруги на виході інвертора.

Для регулювання вихідної напруги самим інвертором використовують широтно-імпульсне регулювання (ШІР) та широтно-імпульсну модуляцію (ШІМ) на несучій частоті. Найбільш простим способом керування при ШІР є спосіб, при якому як несучу частоту використовують частоту повторень. Сигнали керування силовими ключами інвертора та сигнал напруги на виході інвертора зображені на рис. 6.8.

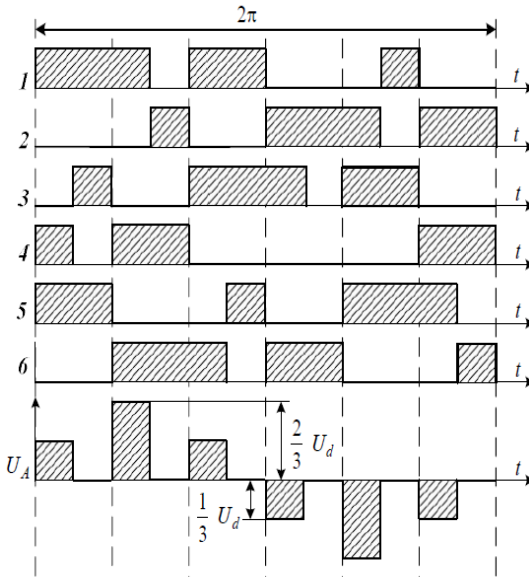


Рисунок 6.8 – Керування АІН при ШПР на основній частоті

Протягом кожного періоду повторень для підключення навантаження до джерела живлення відкривається три транзистори, а для відключення навантаження від джерела живлення перемикаються транзистори одного плеча. При чому закривається той транзистор, що дозволяє відключити всю групу анодних чи катодних силових ключів. Так, для відключення навантаження при ввімкнених транзисторах VT1, VT3, VT6 транзистор VT6 відключається, а транзистор VT5 вмикається. Такий спосіб керування називається алгоритмом одного перемикання.

Для покращення гармонічного складу вихідної напруги інвертора використовують ШІМ на несучій частоті, коли модульованим сигналом є синусоїдні чи трапецеїдальні напруги.

Модульовані напруги керування транзисторами кожного плеча інвертора зсунуті на  $120^\circ$ . Дані сигнали порівнюються з

пилкоподібним несучим сигналом та формують сигнали керування. Відповідно до сигналів керування транзисторами формується напруга на кожній фазі навантаження.

Основним недоліком синусоїдальної ШІМ, що формується методом порівняння, є невисокий коефіцієнт використання напруги живлення. З метою підвищення коефіцієнта використання напруги застосовуються так звані модифіковані ШІМ, що відрізняються від базової синусоїдальної ШІМ наявністю блока попередньої модуляції. При цьому ефективним та разом з тим відносно нескладним у реалізації способів перед-модуляції є передмодуляція шляхом введення третьої гармоніки в сигнали задання.

Загальними недоліками формування сигналів ШІМ шляхом порівняння сигналів керування з опорним є підвищена складність реалізації за необхідності отримати високий коефіцієнт використання джерела живлення, а також недостатня гнучкість для синтезу оптимальних законів комутації ключів інвертора в різних режимах роботи електропривода.

При ШІМ має місце надмірно часте перемикання транзисторів у трифазному інверторі. Для усунення цього недоліку достатньо перемикати транзистори тільки одного плеча протягом періоду повторень ( $1/6$  періоду частоти модуляції). Такі способи модуляції отримали назву векторних.

На рис. 6.9 показано алгоритм перемикання транзисторів інвертора при векторній модуляції та сигнал фазної напруги на навантаженні.



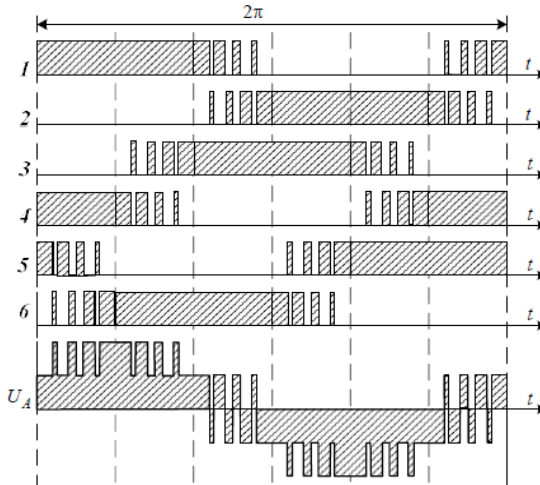


Рисунок 6.9 – Алгоритм роботи АІН при векторній модуляції

При такому способі керування на інтервалі часу від 0 до  $2/3$  на керуючий вхід транзисторного ключа (VT1) подається постійний сигнал, а в інтервалі від  $2/3$  до  $1$  – широтно-імпульсний сигнал – чотири імпульси, тривалість яких постійно зменшується. У протифазі транзистору VT1 перемикається VT2. Аналогічні сигнали, але з відповідним фазовим зсувом надходять на входи інших транзисторних ключів.

#### 6.4 Схемотехніка перетворювачів частоти

При реалізації системи керування силовими транзисторами трифазного мостового інвертора може бути використаний мікроконтролер МСЗРНАС, що генерує шість сигналів ШІМ зі змінною напругою та частотою. Представлений контролер містить програмне забезпечення для створення систем керування асинхронним частотно-регульованим електроприводом. Програмне забезпечення даного МК не може бути модифіковане. На рис. 6.10 показано типову схему ввімкнення мікроконтролера МСЗРНАС.

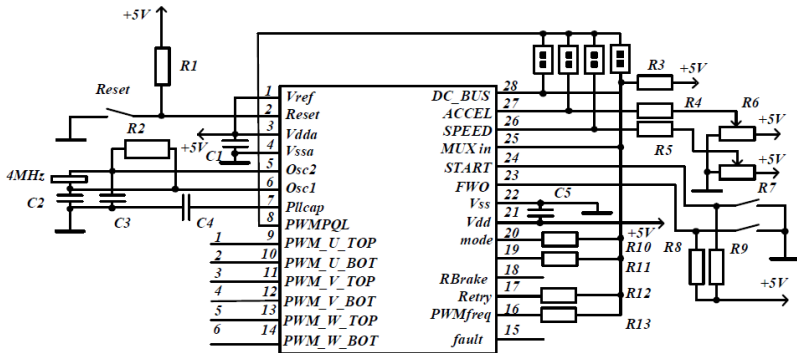


Рисунок 6.10 - Схема підключення мікроконтролера MC3RNAS

У наведеному контролері адаптація алгоритму керування до конкретного типу електропривода здійснюється за допомогою зміни числових констант. Задання констант можливо реалізувати двома способами: потенціометрами на платі контролера блока керування або від ПК верхнього рівня, зв'язаного з платою керування по послідовному інтерфейсу.

Основні характеристики алгоритму керування, що реалізується контролером MC3RNAS:

- формує шість ШІМ модульованих сигналів керування драйверами силових ключів трифазного мостового інвертора. Форма вихідної напруги синусоїдальна, частота комутації транзисторів може варіюватися в межах від 5,291 до 21,164 кГц.

В алгоритмі керування ключами передбачена можливість зміни мертвого часу від 0,5 до 6,0 мкс. Є вхід апаратного захисту силових ключів, високий логічний рівень якого переводить сигнали керування вентилями у неактивний стан;

- реалізує закон керування  $\frac{U}{f} = const$  з програмованою користувачем вольт-добавкою при нульовій частоті (рис. 6.11). Граничне значення частоти  $f$  може бути встановлене

залежно від типу двигуна: 50 або 60 Гц. Допускає задання темпу процесу розгону або гальмування: від 0,5 до 128 Гц/с;

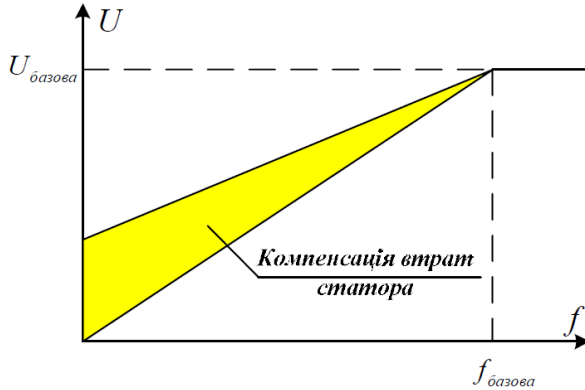


Рисунок 6.11 – Залежність вихідної напруги від частоти

– поточне значення вставки за швидкістю задається в ана-логовому вигляді. Відповідний вхід може бути використаний для організації замкнutoї за швидкістю або за іншим технологічним параметром системи;

– керування режимами роботи схеми здійснюється за допомогою двох логічних сигналів: "пуск / зупинка" та "напрямок обертання".

#### Загальна характеристика перетворювачів частоти

Для регулювання координат електроприводів змінного струму малої та середньої потужності найбільш широкого поширення набула структура перетворювача із ланкою постійного струму та мостовим транзисторним інвертором. При цьому ефективність роботи електропривода визначається алгоритмом керування автономного інвертора.

Аналізуючи відомі алгоритми керування мостовими інверторами, можна зробити наступні висновки:

– алгоритм керування з кутовою тривалістю замкнутого стану ключів  $180^\circ$  накладає обмеження на можливий діапазон регулювання швидкості електропривода. Даний чинник обумовлюється несинусоїдним характером вихідної напруги перетворювача, що, у свою чергу, призводить до несинусоїдності струму в статорних обмотках і пульсації моменту двигуна.

Значним недоліком зазначеного способу керування є необхідність використання керованого випрямляча для зміни амплітудного значення напруги на виході інвертора;

– алгоритм керування із ШІМ на несучій частоті дозволяє покращити гармонічний склад вихідної напруги інвертора. Однак використання як модульованих сигналів синусоїдних чи трапецеїдальних напруг характеризується невисоким коефіцієнтом використання напруги живлення, у зв'язку з цим поширення набули модифіковані ШІМ з передмодуляцією опорних сигналів задання.

Загальними недоліками таких алгоритмів формування сигналів керування є підвищена складність реалізації за необхідності отримати високий коефіцієнт використання джерела живлення, а також недостатня гнучкість для синтезу оптимальних законів комутації ключів інвертора в різних режимах роботи електропривода;

– алгоритми керування з векторними способами модуляції дозволяють уникнути зазначених недоліків та зменшують надмірно часте перемикання транзисторів у мостовому інверторі, що притаманне алгоритмам із ШІМ.

## 7 ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ

### 7.1 Алгебра логіки

Основу сучасних пристроїв обробки інформації складають **цифрові (логічні) ІМС**.

Аналіз роботи цифрових пристроїв базується на використанні апарату **математичної логіки - алгебри Джорджа Булі** (1815 - 1864). В її основі лежить поняття **події**, що оцінюється з точки зору її

настання: вона може настати або не настати.

Тоді кожному **подію** можна вважати **істинною**, що може моделюватися одиницею «1» (високим рівнем напруги при електричному моделюванні), або **хибною** - моделюється нулем «0» (низьким рівнем напруги).

Обробка інформації, поданої у вигляді подій, ведеться у **двійковій системі числення**. Вона має тільки дві цифри: 0 і 1.

Величина, котра може приймати тільки ці два значення, називається **двійковою (логічною) змінною**.

Складна подія, що залежить від декількох двійкових змінних, називається **двійковою (логічною, перемикальною) функцією**:

$$y = f(x_1, x_2, \dots, x_n), \text{ де } x = \{1, 0\} \quad (7.1)$$

Алгебра логіки дозволяє виконувати математичний запис логічних подій і зв'язків між ними, а це дає можливість аналітично описувати будову і роботу цифрових пристроїв (нагадаємо: цифрові пристрої оброблюють інформацію, представлену у вигляді сигналів, що змінюються за законом дискретної функції - див. пп. 2.7.4).

В алгебрі логіки є три основних **логічних дії (операції, функції)**:

і **операція НІ - логічне заперечення**:

функція має зворотне значення до змінної, від якої вона залежить

$$y = \bar{X} \quad (7.2)$$

(читається у дорівнює не x);

і **операція АБО - логічне додавання (диз'юнкція)**:

функція істинна, якщо істинна хоча б одна з незалежних змінних, що до неї входять

$$y = x_1 + x_2; \quad (7.3)$$

**операція І - логічне множення (кон'юнкція)**:

функція істинна, якщо істинні усі незалежні змінні, що до неї входять

$$y = x_1 \cdot x_2. \quad (7.4)$$

Зверніть увагу: в алгебрі логіки немає операцій віднімання і ділення. Порядок дій в алгебрі логіки такий: перш за все виконується операція НІ, потім І й насамкінець АБО.

Для зміни порядку дій, як і в звичайній алгебрі, застосовують дужки.

Для алгебри логіки справедливі закони:

- **переставний** (комутативний)

$$x + x_2 = x_2 + x \text{ та } x \cdot x = x \cdot x; \quad (7.5)$$

- **сполучний** (асоціативний)

$$x + x + x = x + (x + x) = (x + x) + x$$

та  $x_1 \cdot x_2 \cdot x_3 = x_1(x_2 \cdot x_3) = (x_1 \cdot x_2) x_3; \quad (7.6)$

- **розподільний** (дистрибутивний)

$$x(x + x_3) = x \cdot x_2 + x \quad (7.7)$$

(зазначимо, що такі ж закони діють і в звичайній алгебрі).

**Тотожності алгебри логіки:**

$$x + x = x \text{ та } x \cdot x = x; \quad (7.8)$$

$$x + x = 1 \text{ та } x \cdot x = 0; \quad (7.9)$$

$$x + 0 = x \text{ та } x \cdot 0 = 0; \quad (7.10)$$

$$x = x; \quad (7.11)$$

$$x + x \cdot x_2 + x \cdot x_3 = x; \quad (7.12)$$

$$x1 + x1 \cdot x2 = x1 + x2; \quad (7.13)$$

$$x1 \cdot x2 + x1 \cdot x2 = x; \quad (7.14)$$

$$x1(x1 + x2) = x1; \quad (7.15)$$

$$x1(x1 + x2) = x1 \cdot x2; \quad (7.16)$$

$$(x_1 + x_2)(x_1 + x_3) = x_1 + x_2 x_3. \quad (7.17)$$

До основних законів алгебри логіки також відносяться **закони інверсії для логічних додавання та множення - правила де Моргана**:

$$x_1 + x_2 = x_1 \cdot x_2 \text{ та } x_1 \cdot x_2 = x_1 + x_2. \quad (7.18)$$

Ці закони грають важливу роль при синтезі схем цифрових пристроїв, часто призводячи до суттєвого спрощення логічних функцій, а значить і схем пристроїв, що їх реалізують.

Взагалі, знання законів алгебри логіки дозволяє отримувати оптимальну за заданими критеріями схему пристрою, що забезпечує використання мінімального числа уніфікованих елементів, високу швидкість та надійність.

Зазначимо, що у практичних цілях алгебру Буля першим у 1938 році застосував один із родоначальників математичної теорії інформації і кібернетики Клод Шеннон (США) при дослідженні електричних кіл з контактними перемикачами.

## 7.2 Реалізація простих логічних функцій. Логічні елементи

Практична реалізація аналітичного опису подій алгебри логіки виконується у вигляді **логічних схем**, що будуються з **логічних елементів** як **логічні (цифрові) автомати**. При цьому проектувальника, зазвичай, не цікавить внутрішня будова логічних елементів. Вони розглядаються як функціональні вузли обробки цифрової інформації.

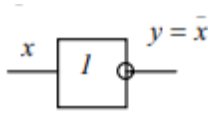


Рисунок 7.1 – Елемент НІ

Отже, однією з найпростіших логічних функцій є функція заперечення НІ, яку ще називають **операцією інверсії**.

Графічне позначення логічного інвертора наведено на рис. 6.1. У якості такого елемента може бути використано, наприклад, транзисторний ключ - підсилювач з СЕ, що працює у ключовому режимі: при високому рівні напруги на його вході на виході матимемо низький і навпаки.

Функцію, що її виконує логічний пристрій, для полегшення сприйняття часто представляють у вигляді таблиці, яку називають **таблицею істинності**. Кількість стовбців цієї таблиці дорівнює числу змінних, що входять до функції і є ще один стовбець, у якому вказують значення функції для кожної з можливих комбінацій вхідних змінних, а їхньому числу відповідає кількість рядків таблиці. У загальному випадку кількість рядків дорівнює  $2^n$ , де  $n$  - число змінних.

Об'єднана таблиця істинності деяких основних логічних функцій, що залежать від двох змінних (усього таких функцій шістнадцять),



Таблиця 7.2 – Деякі логічні функції двох змінних

Вхідні змінні		Функція $y$			
$x_1$	$x_2$	АБО	АБО-НИ	І	І-НИ
0	0	0	1	0	1
0	1	1	0	0	1
1	0	1	0	0	1
1	1	1	0	1	0
Математичний запис (формула)		$y = x_1 + x_2 = x_1 \vee x_2$	$y = \overline{x_1 + x_2}$	$y = x_1 \cdot x_2 = x_1 \wedge x_2$	$y = \overline{x_1 \cdot x_2}$
Назва функції		Логічне додавання (диз'юнкція) – функція АБО	Заперечення логічного додавання (стрілка Пірса) – функція АБО-НИ	Логічне множення (кон'юнкція) – функція І	Заперечення логічного множення (штрих Шеффера) – функція І-НИ
Графічне позначення елемента, що реалізує функцію					
Можлива реалізація					
		Резисторно-діодна логіка (РДЛ)	Резисторно-транзисторна логіка (РТЛ)	Резисторно-діодна логіка (РДЛ)	Резисторно-діодно-транзисторна логіка (РДТЛ)

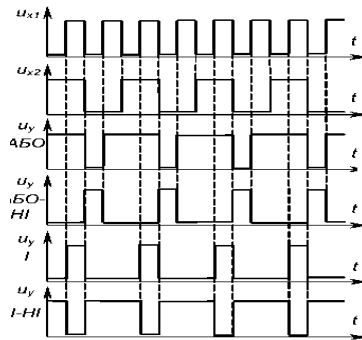


Рисунок. 7.3 Часові діаграми роботи деяких двовходових логічних елементів

З таблиці видно, що, наприклад, функція АБО істинна (дорівнює 1, якщо істинною є хоча б одна із змінних, що до неї входять, а функція І - тільки у випадку істинності обох змінних.

Якщо вхідні сигнали змінювати з часом, як це показано на рис. 7.3, можна отримати часові діаграми, що відповідають **динамічному режиму роботи** логічних елементів.

У загальному випадку кількість вхідних змінних (кількість входів) логічних елементів, необхідних для реалізації складних логічних функцій, може бути будь-якою. Реально у елементів, що випускаються у вигляді ІМС, вона, як правило, складає 2 (чотири елементи в одному корпусі ІМС, що мають спільні кола живлення), 3 (три елементи), 4 (два елементи), 8 (один елемент). Частіше це елементи І-НІ, АБО-НІ.

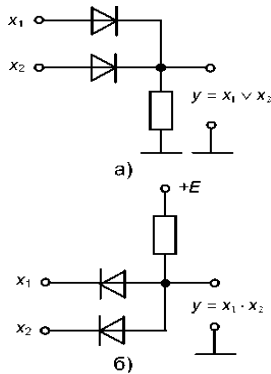


Рисунок. 7.4 – Резисторно-діодні елементи 2АБО (а) та 2І (б)

За елементною базою, на якій виконано логічні елементи, їх підрозділяють на резисторно-діодні (РДЛ-резисторно-діодна логіка), резисторно-транзис-

торні (РТЛ), резисторно-діодно-транзисторні (РДТЛ), транзисторно-транзисторні (ТТЛ), на К-МОН комплементарних транзисторах (К-МОН-логіка) і деякі інші.

Схеми двохвходових резисторно-діодних елементів 2АБО та 2І наведені на рис 7.4,а і рис. 7.4,б відповідно.

При своїй схемній простоті вони мають суттєвий недолік: падіння

напруги на діодних ключах не дозволяє реалізовувати складні логічні функції з послідовним вмиканням великого числа елементів за прийнятних значень напруги джерела живлення. Необхідно забезпечувати проміжне підсилення сигналів.

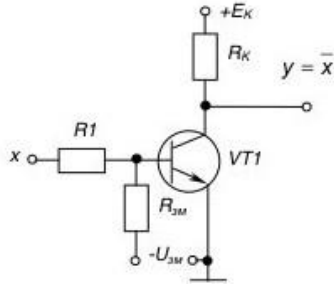


Рисунок. 7.5 – Інвертор (елемент НІ)

Підсилення забезпечують елементи, побудовані на основі транзисторних ключів. Наприклад, це **інвертор**, схема якого наведена на рис. 6.5. Зверніть увагу: подача невеликої негативної напруги зміщення  $U_{3M}$  забезпечує надійне закривання транзистора - збільшує завадостійкість елемента.

Схеми діодно-транзисторних елементів 2АБО-НІ та 2І-НІ наведені на рис. 6.6 і рис. 6.7 відповідно.

Діоди VD3 і VD4 у елемента І-НІ забезпечують виключення відкриваючої дії на транзистор напруги, що падає на діодах РО1 або РО2 (замінюють и).

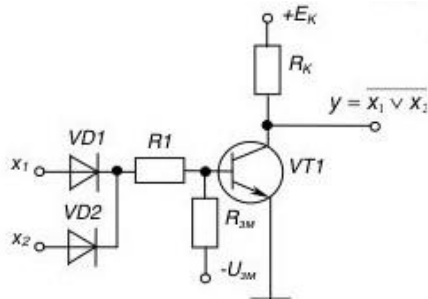


Рисунок. 7.6 – РДТЛ елемент 2АБО-НІ

Широкое розповсюдження знайшли елементи ТТЛ. Схема двоходового ТТЛ елемента 2І-НІ наведена на рис. 7.8.

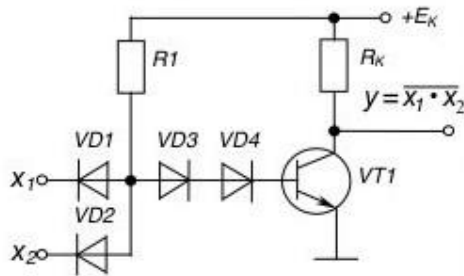


Рисунок. 7.7 - РДТЛ елемент 2І-НІ

Відмінною його рисою є наявність на вході багатомірного транзистора *КТІ*, що є набуток інтегральної технології і заміняє вхідний діодний вузол елементів РДТЛ.

Елемент ТТЛ також має складний двотактний вихідний каскад, що дозволяє збільшити навантажувальну здатність елемента - знижує вплив опору колекторного резистора на величину вихідного сигналу, що відповідає 1.

Діод VD (як пороговий елемент з напругою відкриття близько

0,6 В) надійно забезпечує закритий стан транзистора ЕТ3 при відкритому РТ2 (падіння на якому складає 0,2 - 0,4 В).

Діод VD (як пороговий елемент з напругою відкриття близько 0,6 В) надійно забезпечує закритий стан транзистора ЕТ3 при відкритому РТ2 (падіння на якому складає 0,2 - 0,4 В).

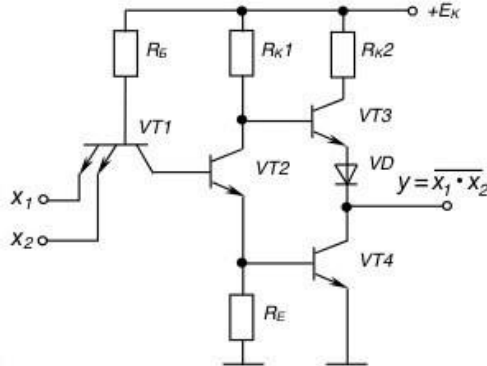


Рисунок. 7.8 - ТТЛ елемент 2І-НІ

Діод VD (як пороговий елемент з напругою відкриття близько 0,6 В) надійно забезпечує закритий стан транзистора ЕТ3 при відкритому РТ2 (падіння на якому складає 0,2 - 0,4 В).

Розсмоктування зарядів у базі насиченого транзистора при відкритті триває значний час. Для його зменшення транзистору забезпечують стан, коли він закритим знаходиться на межі режимів насичення і активного. Для цього в ІМС застосовують діод Шоттки, що вмикається паралельно до переходу база-колектор транзистора (анодом до бази). Швидкодія при цьому значно підвищується. Така структура називається **транзистором Шоттки**.

На рис. 6.9 наведена схема двовходового елемента І-НІ, виконаного на комплементарних К-МОН транзисторах. Як видно з рисунку, елемент складається тільки з чотирьох МОН-транзисторів, що одночасно виконують і роль резисторів, бо опір їхнього каналу становить від десятків до сотень ом.

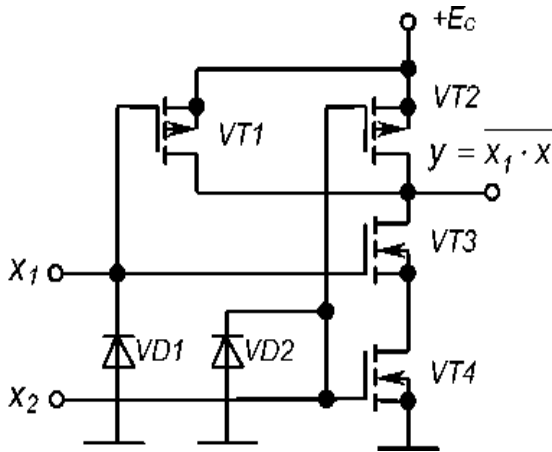


Рисунок. 7.9 - Елемент 2І-НІ К-МОП-

Вихід елемента транзисторними ключами  $PT1$  або  $PT2$  підмикається до шини живлення, а  $PT3$  і  $PT4$  - до нульової шини.

Діоди  $VD1$  і  $VD2$  забезпечують захист вхідних кіл ІМС від подачі від'ємної напруги.

Зазначимо, що захисні ланцюжки встановлюють на входах багатьох видів ІМС з метою їхнього захисту як від напруги недопустимої полярності, так і від перевищення вхідною напругою допустимого значення. Наприклад, від дії статичної електрики у разі дотику людини до виводів ІМС.

Елементи К-МОП прості у виготовленні (а значить дешеві), мають більшу завадостійкість ніж елементи ТТЛ, а за частотними властивостями у останній час наближаються до них.

Перевагою К-МОП логіки є ще й те, що вона працездатна у широкому діапазоні змін напруги живлення. Так, якщо для ІМС ТТЛ типове значення напруги живлення становить  $5\text{ В} \pm 5\%$ , то для ІМС К-МОП вона може становити від 3 до 15 В.

Рівномірне на зв'язку вплив ідентично колекторнощо

## 8 Цифрові елементи пам'яті

### 8.1 Загальні відомості про тригери та їх призначення

Основою цифрових (логічних) пристроїв з пам'яттю є тригери. Тригер забезпечує запам'ятовування елементарного об'єму інформації - 1 біт.

**Тригери** (від англійського *Trigger* - заскочка) - це спускові імпульсні пристрої з ПЗЗ, що мають два сталих стани рівноваги і можуть переходити із одного стану у інший під дією сигналу, що перевищує деякий рівень - поріг спрацьовування пристрою.

Тригери можуть бути побудовані на напівпровідникових приладах, що мають ділянку з негативною крутизною характеристики (наприклад, на тиристорах). Сучасні тригери, як правило, будують на основі двокаскадних підсилювачів з ПЗЗ. Тригери в інтегральному виконанні будують на логічних цифрових елементах.

Використовують тригери для таких цілей:

- перетворення імпульсу довільної форми у прямокутну, тобто застосовуються як формувачі імпульсів прямокутної форми
- створення електронних реле;
- створення пристроїв підрахунку імпульсів і ділення частоти надходження імпульсів (лічильників);
- зберігання інформації у двійковому коді.

### 8.2 Тригер на біполярних транзисторах (симетричний тригер з лічильним запуском)

Схема **симетричного тригера** зображена на рис. 8.1. Тригер являє собою двокаскадний підсилювач з ПЗЗ, виконаний на біполярних транзисторах  $PT1$  і  $VT2$ , увімкнених за схемою з СЕ. ПЗЗ забезпечується ланцюжками  $K$ ,  $C$  та  $K$ ,  $C$ , що з'єднують колекторного транзистора з базою іншого.

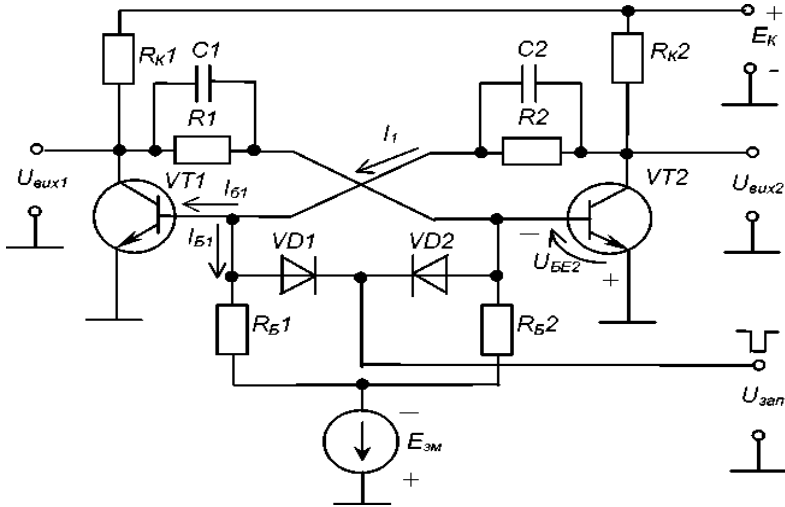


Рисунок. 8.1 - Симетричний тригер на біполярних транзисторах

Напряга  $E$  призначена для надійного утримання у закритому стані одного з транзисторів схеми.

Коло, до якого входять діоди  $TO\dot{I}$  і  $V^{\wedge}2$ , призначене для запуску тригера при подачі запускаючої напруги

Тригер є симетричним, бо

$$R_{k1} = R_{k2} = R_k ; R_1 = R_2 = R ; C_1 = C_2 = C ; R_{b1} = R_{b2} = R_B$$

Він має два сталі стани:

- $VT1$  відкритий,  $VT2$  закритий, при цьому  $u_{вих1} = 0$ ,  $u_{вих2} = 1$ ;
- $VT1$  закритий,  $VT2$  відкритий,  $u_{вих1} = 1$ ,  $u_{вих2} = 0$

Після вмикання джерела живлення тригер рівноможливо може опинитися у будь-якому сталому стані і, за відсутності зовнішніх сигналів керування, може знаходитися у ньому скільки завгодно часу (але тільки за наявності живлення - енергозалежна пам'ять).

Розглянемо умови, коли  $VT1$  відкритий, а  $VT2$  закритий:

$$I_{б1} = I_1 - I_{б2}; I_{б1} = \frac{E_K}{R_K + R} - \frac{E_{эм}}{R_B}. \quad (8.1)$$



Щоб транзистор VT1 знаходився у насиченому стані, необхідно забезпечити:

$$I_{\bar{b}1} \geq I_{\bar{b}n} = \frac{I_{KH}}{\beta} = \frac{E_K}{R_K \beta}, \quad (2.2)$$

тобто

$$\frac{E_K}{R_K + R} - \frac{E_{zm}}{R_B} \geq \frac{E_K}{R_K \beta}. \quad (2.3)$$

Вираз (8.3) є визначальним для забезпечення насиченого стану VT1. Маємо

$$U_{BE2} = E_{zm} - U_{R_{B2}}; \quad U_{R_{B2}} = \frac{E_{zm} R_B}{R_B + R}; \quad U_{BE2} = E_{zm} - \frac{E_{zm} R_B}{R_B + R} < 0. \quad (2.4)$$

Розглянемо роботу тригера при подачі запускаючої напруги. Припустимо, схема знаходиться у першому сталому стані рівноваги. У цьому випадку діод EO1 зміщений у прямому напрямку під дією позитивної напруги  $u_{BE1}$ , а діод TO2 закритий напругою  $u_{BE2}$ . Якщо подати негативний запускаючий імпульс, він через діод EO1 потрапить до бази VI, який закриється (матимемо  $I=0$ ). Напруга на колекторі PT1 зросте і через  $K_1$  та прискорюючий конденсатор  $C_1$  потрапить на базу PT2 і відкриє його.

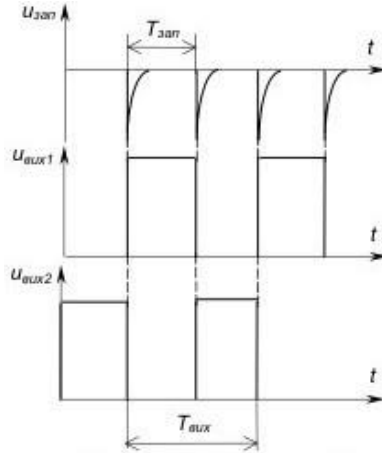


Рисунок 8.2 - Часові діаграми тригера Т-типу

У результаті - схема перейде до другого сталого стану.

Тепер діод  $EO1$  закритий напругою  $u_{BE1}$  і наступний негативний імпульс запуску буде діяти на базу  $PT2$  через діод  $TO2$  і закrije  $VT2$ , переводячи тригер у перший сталий стан.

Таким чином, кожен імпульс запуску змінює стан тригера на протилежний. Такий вид запуску називається лічильним запуском, а тригер має назву **тригера Т-типу**. Його роботу ілюструють часові діаграми, зображені на рис. 7.2, з яких видно,

У результаті - схема перейде до другого сталого стану.

Тепер діод  $EO1$  закритий напругою  $u_{BE1}$  і наступний негативний імпульс запуску буде діяти на базу  $PT2$  через діод  $TO2$  і закrije  $VT2$ , переводячи тригер у перший сталий стан.

У результаті - схема перейде до другого сталого стану.

Тепер діод  $EO1$  закритий напругою  $u_{BE1}$  і наступний негативний імпульс запуску буде діяти на базу  $PT2$  через діод  $TO2$  і закrije  $VT2$ , переводячи тригер у перший сталий стан.

Таким чином, кожен імпульс запуску змінює стан тригера на протилежний. Такий вид запуску називається лічильним запуском, а три-

гер має назву **тригера Т-типу**. Його роботу ілюструють часові діаграми, зображені на рис. 8.2

### 8.3 Тригери на логічних елементах

**Тригери у інтегральному виконанні** будуються з простих логічних елементів типу АБО-НІ, І-НІ. Зазвичай мікросхема вміщує 1,4 тригери із спільними колами живлення, а інколи і спільними колами синхронізації або керування.

У загальному випадку тригер складається з логічного пристрою керування та власне тригера як елемента пам'яті. Є велика кількість різноманітних схем тригерів із різними функціональними можливостями.

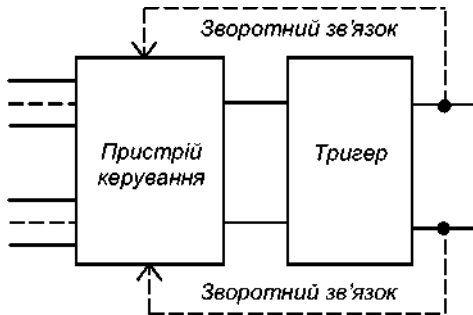


Рисунок. 8.3 - Структурна схема

Узагальнена структурна схема тригера зображена на рис. 7.3.

Пристрій керування призначений для перетворення сигналів, що надходять до входів *A.*, у вигляд, придатний для керування власне тригером, що виконує функцію елемента пам'яті.

Тригер має два **виходи**: - **прямий** (одиничний), - **інверсний** (нульовий). **Входи A.** називаються **інформаційними**, а входи *C.* -

### **тактовими або синхронізуючими.**

За способом занесення інформації тригери поділяються на **асинхронні**, що змінюють свій стан одразу після надходження сигналу на певний інформаційний вхід, і **синхронні** (тактовані), що спрацьовують не тільки за наявності сигналів на інформаційних входах, а лише після надходження синхронізуючого (тактового) сигналу на певний вхід синхронізації.

Описують роботу тригерів (і цифрових пристроїв з пам'яттю взагалі) також за допомогою логічних функцій або частіше задля наочності за допомогою **таблиць переходів**. У таблицях вказують усі можливі комбінації сигналів на інформаційних входах у даний момент часу ( $t$ ) і стан, у який перейде тригер під дією цих сигналів в наступний момент часу ( $t^M$ ). Причому, наступний момент часу у асинхронного тригера настає одразу після зміни комбінації сигналів на інформаційних входах, а у синхронного - після надходження тактового сигналу (як правило, це імпульс) на відповідний вхід синхронізації.

**Стани тригера** в таблицях переходів зазвичай вказують так:

0 - тригер має сигнал на виході = 0 (**нульовий стан**);

1 - тригер має сигнал на виході = 1 (**одиничний стан**);

- стан тригера не змінюється при зміні сигналів на входах;

$\wedge_1$  - стан тригера змінюється на протилежний при зміні сигналів на

входах;

X - **невизначений стан** тригера, коли він після зміни сигналів на входах рівно можливо може опинитися в нульовому (= 0) або у одиничному (= 1) стані.

Стверджують, що навіть за найпростішої конфігурації тригерного пристрою, яка має один інформаційний вхід і два виходи, можна отримати 25 функціональних різновидів тригерів. При двох входах їх буде вже 625. Практично ж застосовують 6-8 типів.

Найбільш розповсюджені з них RS тригери, D-тригери, T-тригери, JK-тригери. Часто тригери будують як комбіновані: RSD-тригери, RST- тригер і т.п.

#### 8.4 Лічильники імпульсів

Однією з найрозповсюдженіших операцій у пристроях інформаційно- обчислювальної і цифрової вимірювальної техніки є фіксування кількості імпульсів - підрахунок їхньої кількості. Реалізують цю операцію **лічильники імпульсів**. Лічильники також забезпечують представлення інформації про кількість імпульсів у вигляді двійкового коду (завдяки принципу побудови).

Лічильники бувають **прості (підсумовуючі**, у яких код збільшується на одиницю після надходження на вхід кожного імпульсу; **віднімаючі**, у яких код відповідно зменшується після надходження на вхід кожного імпульсу) і **реверсивні** (суміщують властивості підсумовуючих і віднімаючих - можуть працювати у тому або іншому режимі за зовнішньою командою).

Як правило, лічильники будують на основі тригерів.

Схема чотирирозрядного підсумовуючого послідовного двійкового лічильника, виконаного на комбінованих LST-тригерах з імпульсними інверсними входами синхронізації наведена на рис. 8.4, його умовне позначення - на рис. 8.5, часові діаграми роботи - на рис. 8.6, таблиця переходів - у табл. 8.1.

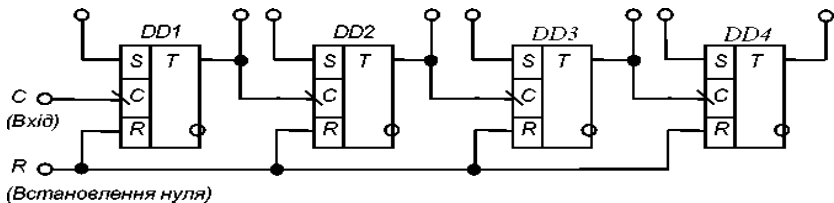


Рисунок. 8.4 - Чотирирозрядний послідовний двійковий лічильник

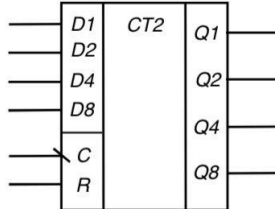


Рисунок. 8.5 - Умовне позначення чотири розрядного послідовного двійкового лічильника

Таблиця 8.1 Таблиця переходів чотирирозрядного послідовного двійкового лічильника

Стан	Q <sub>8</sub>	Q <sub>4</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Стан	Q <sub>8</sub>	Q <sub>4</sub>	Q <sub>2</sub>	Q <sub>1</sub>
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

Лічильник називається **послідовним**, тому що вихід тригера кожного попереднього розряду з'єднано з лічильним входом (входом синхронізації) тригера наступного розряду, в результаті чого передача інформації - перемикання тригерів розрядів лічильника - відбувається послідовно одного за одним. Це визначає низьку швидкість лічильника.

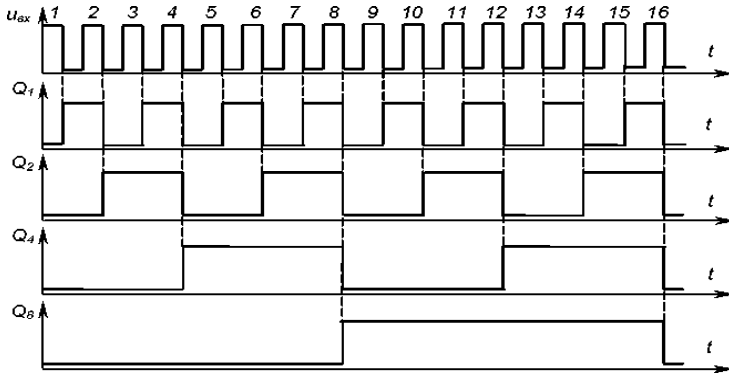


Рисунок. 8.6 - Часові діаграми роботи чотирирозрядного підсумовуючого послідовного двійкового лічильника з імпульсним інверсним лічильним Входом

Таблиця 8.2 – Таблиця переходів чотири розрядного послідовного двійково-десятькового лічильника

Стан	$Q_8$	$Q_4$	$Q_2$	$Q_1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

У паралельних лічильників інформація з розряду в розряд пере-

дається за допомогою спеціальної комбінаційної схеми, а входи синхронізації тригерів з'єднано разом, і перемикання усіх тригерів відбувається одночасно.

Як видно з таблиці переходів і часових діаграм, при безперервній роботі лічильника на його виходах  $Q_1, Q_2, Q_4, Q_8$  формується послідовний двійковий код.

Вхід  $K$  призначений для встановлення лічильника в нульовий стан (у даному разі - подачею сигналу логічної 1).

Входи призначені для паралельного занесення чисел у лічильник - для задання початкового стану, що відрізняється від нульового.

Послідовну роботу лічильника можна порушити, обмеживши кількість його станів. Це можна зробити, вводячи зворотний зв'язок, як, наприклад, показано на рис. 8.10. Тепер при досягненні десятого стану лічильник одразу переходить у нульовий стан - отримано **двійково-десятковий** лічильник, що має не 16, а 10 станів і формує на виходах двійково-десятковий код. Його таблиця переходів наведена у таблиці.

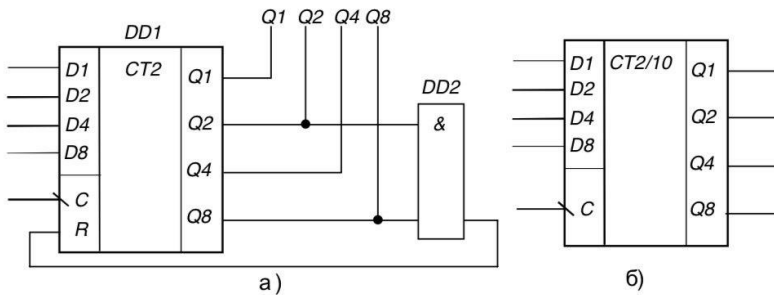


Рисунок . 8.7 - Отримання двійково-десяткового лічильника з двійкового (а) І умовне позначення двійково-десяткового лічильника (б)



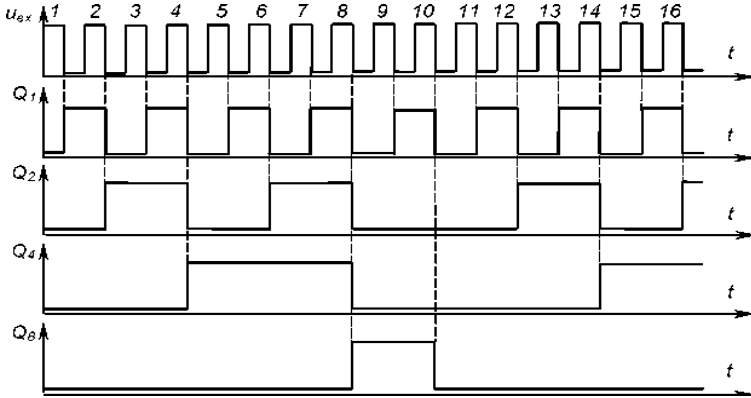


Рисунок. 8.8 - Часові діаграми роботи чотирирозрядного двійково-десятькового лічильника

Застосування таких лічильників разом із двійково-десятьковими або двійково-семисегментними дешифраторами дозволяє на основі стандартних ІМС будувати схеми керування багаторозрядними десятковими індикаторами (розряди десяткові, а у межах десяткового розряду рахунок двійковий).

На рис. 8.9 наведено схему лічильника, що також має десять станів, але працює не в послідовному двійковому коді, бо після надходження восьмого імпульсу переходить з 7 стану у 14, після дев'ятого - у 15, а після десятого - у 0.

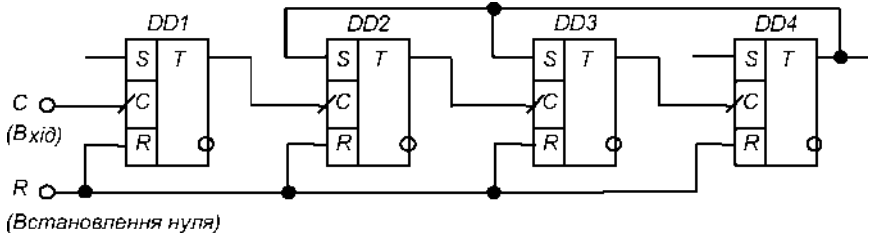


Рисунок. 8.9 - Чотирирозрядний лічильник, що має десять станів

У вигляді ІМС випускається досить широка номенклатура лічильників. На рис. 8.10 як приклад наведене умовне позначення чотирирозрядного реверсивного лічильника типу К561ІЕ14.

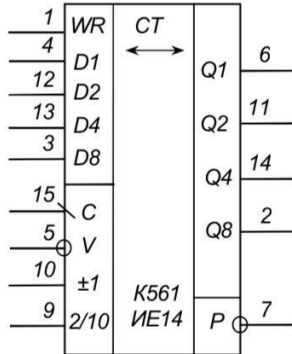


Рисунок. 8.10 – Реверсивний лічильник К561ІЕ14

Він має входи:

- запису інформації з входів паралельного вводу інформації  $D_1, D_2, D_4, D_8$ - WR;
- паралельного вводу інформації –  $D_1, D_2, D_4, D_8$
- синхронізації (тактовий) - C;
- дозволу лічення -  $\bar{V}$ ;
- напрямку лічення (підсумовування чи віднімання) -  $\pm 1$ ;
- задання роботи у двійковому чи двійко
- во-десятьковому коді - 2/10.

○ Виходи:

- інформаційні –  $Q_1, Q_2, Q_4, Q_8$  ;
- переносу (зайому) в старший (із старшого) розряду -  $\bar{P}$ .

Напруга живлення подається на виводи 16 (плюс джерела живлення  $+U_{жс}$ ) і 8 (нуль).

## 8.5 Регістри

Регістри призначені для запам'ятовування і зберігання інформації,

представленої у вигляді багаторозрядних двійкових чисел (двійкового коду) та їхньої видачі за зовнішньою командою - це елементи короткочасної (оперативної) пам'яті.

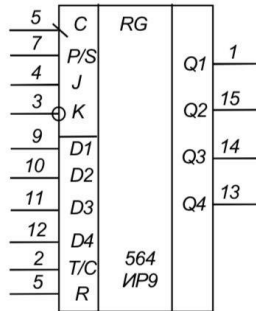


Рисунок 8.11 – Універсальний регістр 564IP9

Залежно від способу запису і видачі інформації регістри бувають:

- послідовні - запис інформації в них виконується послідовно одного двійкового розряду за іншим через один вхід;
- паралельні - запис інформації в них виконується одночасно (паралельно) у всі розряди;
- послідовно-паралельні - можуть працювати як послідовні або паралельні, залежно від сигналу на спеціальному вході керування.

Він має входи:

- синхронізації (тактовий) -  $C$ ;
- задання режиму роботи (паралельний-послідовний) -  $P/8$ ;
- послідовного вводу інформації (входи ТК-тригера першого розряду) -  $7, K$ ;
- паралельного вводу інформації - \_\_\_\_\_ ;
- задання видачі інформації у прямому або інверсному коді -  $T/C$ ;
- встановлення нульового стану  $K$ .

Виходи:  $\wedge_1, \wedge_2, \wedge_3, \wedge_4$ .

При видачі інформації у послідовному коді останній знімається з

виходу  $\wedge_4$ .

Напруга живлення подається на виводи 16 (плюс джерела живлення  $+u_{жс}$ ) і 8 (нуль).

### 8.6 Запам'ятовуючі пристрої. Загальні відомості

**Запам'ятовуючі пристрої (ЗП)** забезпечують зберігання програми роботи, вихідних даних і результатів опрацювання, обмін інформацією між окремими частинами мікропроцесорної системи. Будуються вони на напівпровідникових ІМС. Мікросхеми пам'яті складають близько 40% у загальному обсязі випуску ІМС. Також ЗП входять до складу ВІС: мікропроцесорів, мікроконтролерів та ін.

Максимально можливий обсяг інформації ЗП визначається його **інформаційною ємністю** в бітах (**біт** - мінімальний обсяг цифрової інформації, може приймати значення 0 або 1) або **словах (байтах)**, що складаються з декількох біт, наприклад, з чотирьох або восьми). Біт зберігається у **запам'ятовуючому елементі (ЗЕ)**, а слово - у запам'ятовуючій комірці, що є групою ЗЕ, до яких можливе лише одночасне звернення.

Інформаційна ємність вимірюється, наприклад, в кілобітах (1 Кбіт =  $2^{10} = 1024$  біт), кілобайтах (1 Кбайт =  $2^{10} = 1024$  байт), або в мегабітах (1 Мбіт =  $2^{20} = 1048576$  біт), мегабайтах (1 Мбайт =  $2^{20} = 1048576$  байт) і т.п.

**Організація ЗП** визначає, скільки слів і якої розрядності він зберігає. Так, наприклад, при ємності 512 біт може зберігатися 64 восьмирозрядних слова, або 128 чотирирозрядних.

**Швидкодія ЗП** оцінюється часом зчитування і запису.

Цифрові обчислювальні пристрої мають шинну структуру, при якій звертання до комірки ЗП відбувається за номером, що називається **адресою**.

### 8.7 Запам'ятовуючі пристрої для зберігання оперативної інформації (ОЗП)

Такі ЗП **РАМ-типу** (Random Access Memory - ОЗП) поділяються на

статичні і динамічні.

У **статичних ЗП - SRAM (Static RAM)** - як ЗЕ використовуються тригери з ланцюгами установки і встановлення нуля. При К-МОН-технології тригер складається з шести транзисторів. Тому такі ЗП досить дорогі і займають багато місця на кристалі, але мають велику швидкодію.

У **динамічних ЗП – DRAM(Dynamic- RAM)** - дані зберігаються у вигляді зарядів ємностей МОН-структур. Основою ЗЕ тут є просто конденсатор невеликої ємності. Такий ЗЕ значно простіший за тригерний, що дозволяє розмістити на кристалі значно більше ЗЕ. Оскільки конденсатор з часом втрачає свій заряд, то зберігання даних вимагає їхньої періодичної регенерації (через кожні декілька мікросекунд) за допомогою спеціальних підсилювачів-регенераторів. Зараз ємність динамічних ЗП становить до 128 Мбіт, у стані розробки ЗП на 256 Мбіт (з кількістю транзисторів на кристалі до 300 мільйонів. Динамічні ЗП у 4-5 разів дешевші, ніж статичні, та у стільки ж разів мають більшу інформаційну ємність.

Обидва ці типи пам'яті є **енергозалежними** - при вимкненні джерела живлення ІМС інформація безповоротно втрачається.

## 8.8 Запам'ятовуючі пристрої для зберігання постійної інформації (ПЗП)

Є декілька типів ЗП для зберігання постійної інформації - **ROM-типу** (Read On Memory - ПЗП). Як ЗЕ в них використовують перемички, діоди, біполярні і МОН-транзистори.

У **маскові ЗП типу ROM(M)** інформація записується при виготовленні ІМС за допомогою спеціального шаблону - маски. Матриця діодного ЗП такого типу є координатною сіткою з горизонтальних ліній вибірки слів і вертикальних ліній зчитування. Код слова визначається наявністю діода (що відповідає одиниці) або його відсутності (відповідає нулю) у вузлах координатної сітки.

Такі ЗП компактні і дешеві. їх застосовують для зберігання інформації масового призначення - кодів літер і цифр, таблиць типових

функцій, стандартного програмного забезпечення і т.п. Користувач не може змінити інформацію, що зберігається.

**Мікросхеми ЗП типу PROM**(Programmable ROM- програмовані ПЗП) програмують одноразово видаленням або створенням перемичок у вузлах координатної сітки. У вихідній заготовці наявні (або відсутні) всі перемички. При програмуванні користувачем за допомогою спеціального програмуючого пристрою залишаються (або видаляються) тільки необхідні. Перемички можуть бути або плавкими елементами, увімкненими послідовно з діодом, або двома зустрічно увімкненими діодами, один з яких пробивається при програмуванні.

**ЗП типу EPROM** дозволяють не тільки записувати в них інформацію, а й стирати її та замінювати на нову - вони є **репрограмуваними**. Як ЗЕ в них використано **транзистори ЛІЗМОН-типу** (МОН- транзистори з лавинною інжекцією заряду). Такі транзистори мають так званій плаваючий затвор - обмежену з усіх боків діелектриком провідну зону. Введений у неї як у пастку в результаті лавинного пробоя під дією імпульсу напруги у 20-25 В заряд зберігається дуже тривалий час. Цей заряд забезпечує закритий стан транзистора. Стирання інформації відбувається під дією ультрафіолетового опромінення, для чого корпус ІМС має спеціальне прозоре віконце. Виникнення фото- і теплових струмів дозволяє заряду покинути плаваючий затвор. Стирання триває декілька хвилин, одразу стирається вся інформація. Опромінення веде до змін властивостей матеріалів транзисторів, тому число циклів перепрограмування складає 10-100.

Новітні **ЗП типу EEPROM** також є репрограмуваними. Їхньою основою є МНОН-транзистори, що, на відміну від звичайних МОН-транзисторів мають двошаровий підзатворний діелектрик - окрім тонкого шару  $SiO_2$  є ще більш товстий шар нітриду кремнію  $Si_3N_4$  (звідси літера N в аббревіатурі). Під дією електричного поля достатньо високої напруженості носії заряду проходять через тонкий шар і скопичуються на межі розділу шарів. Після зняття поля заряд залишається у пригранничному шарі нітриду кремнію і вже не

розсмоктується, що й забезпечує зберігання інформації на протязі десятків років. Для стирання інформації необхідно видалити носії заряду з приграничного шару, для чого подається напруга, що створює електричне поле протилежної направленості. При цьому інформацію можна стерати не зі всього кристалу, а вибірково. Тривалість процесу досить коротка. Кількість циклів перепрограмування складає  $10^4$ - $10^6$  разів.

Найвищим досягненням у розробці напівпровідникових програмованих ЗП є створення **флеш-пам'яті**. Її ЗЕ подібні до елементів пам'яті типу ЕЕРКОМ, але в схемах флеш-пам'яті не передбачене стирання окремих слів. Інформація може стиратися або вся одразу, або достатньо великими блоками за єдиним сигналом, миттєво (flash - спалах). За своєю дією флеш-пам'ять вже подібна до пам'яті ОЗУ, але є **енергонезалежною**. З розвитком технології і збільшенням місткості інформації пристрої флеш-пам'яті поступово витісняють такі накопичувачі, як жорсткі магнітні диски, оптичні диски та інші носії. Вони у сотні разів скорочують споживану потужність, мають велику надійність, невеликі розміри і вагу, в декілька разів збільшують швидкодію пристроїв пам'яті. Однією з найважливіших властивостей є також відсутність в ЗП цього типу рухомих механічних частин, в тому числі таких, що обертаються, і повна технологічна сумісність з ІМС. Флеш-пам'ять може бути частиною багатьох типів ІМС мікроконтролерів (що забезпечує універсальність їхнього застосування за рахунок можливості багатократного перепрограмування) та ін. Також зазначимо, що це є одним з прикладів поступової відмови людства від колеса у багатьох застосуваннях.

## 9 Архітектура мікропроцесора

### 9.1 Загальні положення. Дещо з історії процесорів

Із розвитком технології і схемотехніки ІМС виникла можливість створення на одному кристалі цілого електронного пристрою, наприклад, радіоприймача, вимірювального приладу чи пристрою керування. Але, зрозуміло, що при цьому ІМС (ВІМС) стають вузькоспеціалізованими. І якщо у випадку застосування пристроїв масового призначення, що продукуються десятками тисяч (радіоприймач, вимірювальний прилад), з цим можна змиритися, то з пристроями керування виникають великі проблеми.

Перш за все, **алгоритм** (послідовність виконання дій, що веде до успіху) керування часто є індивідуальним (наприклад, для кожного з автоматичних маніпуляторів, що працюють на складальному конвеєрі з виробництва автомобілів). Крім того, у процесі експлуатації технологічного устаткування часто виникає необхідність у заміні всього алгоритму керування або його частин (добавлення або вилучення операцій, зміна послідовності їхнього виконання). Застосування ВІМС у такому разі з економічної точки зору недоцільне.

Але й побудова пристроїв керування на основі універсальних ІМС середнього ступеня інтеграції, хоча це й менше коштує, теж не є вдалим виходом, бо зміни алгоритму при цьому ведуть до зміни електричної схеми пристрою керування (повністю або у деяких її частинах).

До речі, пристрої керування з незмінним алгоритмом називають пристроями з **жорсткою логікою**.

Усунути протиріччя між ступенем складності ВІМС і можливістю її універсального використання вдалося за рахунок застосування програмування виконуваних функцій (у найпростішому випадку це, наприклад, програмування коефіцієнта перерахунку лічильника імпульсів).



Зараз основним типом програмованих ВМС, що мають найбільшу інформаційну потужність, є мікропроцесор.

**Мікропроцесор** (МП) - це програмно керований пристрій опрацювання цифрової інформації, виконаний у вигляді однієї (рідше декількох) ВІС. Функції МП аналогічні до функцій центрального процесора цифрової ЕОМ. Його можна вважати одним з найбільших досягнень сучасної мікроелектроніки.

Тут слід зазначити, що спроби автоматизувати обчислювальні роботи робились здавна і займалися цим найвидатніші мислителі і дослідники. Але рівень техніки і технології не давав змоги створити відповідні пристрої. Лише з середніх віків починаються зрушення у цій справі.

Так, у 1642 році фізик Б. Паскаль побудував механічну машину, що виконувала операції додавання та віднімання (надалі було застосовано до п'ятдесяти таких машин). Подібні пристрої розробляли німецький математик Г.В. Лейбніц і російський математик П.Л. Чебишев (орієнтовані на розв'язання рівнянь вищої математики), а пізніше російський інженер В.Т. Орднер. “Колесо Орднера” стало основою арифмометрів. Далі були електромеханічні пристрої - на електромагнітних реле - та, нарешті, електронні - спочатку на лампах, а потім на транзисторах та ІМС.

Найбільш близьким прообразом сучасних цифрових ЕОМ є механічна “аналітична машина” англійського математика Ч. Беббіджа, запропонована ним 1833 р. і пізніше реалізована його сином (додавання двох чисел тривало 2 секунди, а множення - хвилини). У цій машині вперше була запропонована і реалізована ідея **процесора**, що по чергово виконує у заданій послідовності наперед задані математичні операції над числами. **Структура процесора** Ч. Беббіджа, наведена на рис. 9.1, не зазнала суттєвих змін і до сьогодні.

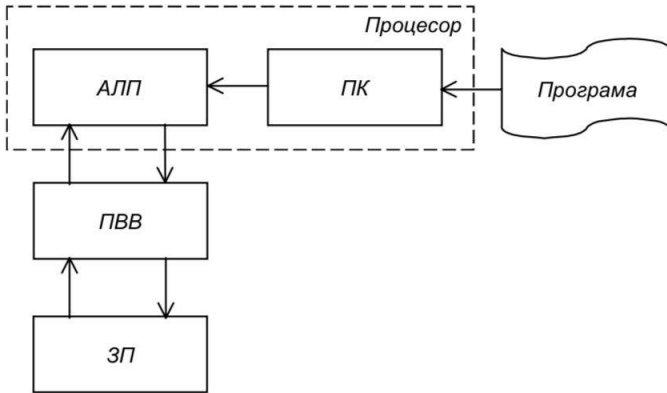


Рисунок. 9.1 - Структура процесора

**Арифметико-логічний пристрій (АЛП)** тут виконує арифметичні або логічні дії над числами (кодами) у порядку, що задається **пристроєм керування (ПК)** згідно з програмою, яка вводиться до нього (наприклад, з перфоративної стрічки).

Практичне застосування процесора можливе за наявності **пристрою вводу і виводу чисел (ПВВ)** і **запам'ятовувального пристрою (ЗП)**, необхідних для вводу вихідних даних, виводу результатів та збереження проміжних результатів.

Повна механічна обчислювальна машина, що мала процесор, ПВВ і ЗП, побудована 1936 р. у Німеччині під керівництвом К. Цузе. Тоді ж з'являється й перша алгоритмічна мова для написання програм для цієї машини. З цього часу розпочинається стрімкий розвиток процесорів як основної ланки обчислювальної машини.

У 1938 р. під керівництвом К. Цузе створено процесор на електромагнітних реле, що збільшило швидкість виконання операцій у десятки разів.

1946 року у США побудовано першу електронну обчислювальну машину ЕЖАК, що містила 18000 електронних ламп (додавання і віднімання тривало 200 мікросекунд, а множення 2800 мікросекунд).

Одна з перших радянських ЕОМ, призначена для серійного

виробництва, “Стрела” була створена у 1953 році. Вона містила 6000 ламп, споживала потужність 150 кВА і розміщувалася у приміщенні площею 300 м<sup>2</sup>: уніфіковані її комірки (логічні елементи, тригери та ін.) містилися у 6 вертикальних стійках висотою 2,5 метри та у пульті оператора. Вона виконувала 2000 операцій за секунду. Її постійно обслуговували 5-7 техніків.

Вже у 1955 році з'являються транзисторні процесори, а з початку 60-х років - виконані на ІМС середнього ступеня інтеграції (процесор виконувався десь на п'ятдесяти ІМС).

Для появи мікропроцесора (процесора у мікрвиконанні - у вигляді ІМС) необхідна була не тільки технологічна база, що вже з'явилася на кінець 60-х років, а й усвідомлення, розуміння того, що програмно керована логіка більш ефективна і простіша у виконанні при реалізації складних функцій, ніж схеми з жорсткою логікою.

Так, 1969 р. співробітник фірми INTEL (США) М. Хофф отримав пропозицію від японської фірми VA8ICOM розробити комплект ІМС для виконання усіх математичних дій і розрахунку усіх стандартних функцій універсальним калькулятором. Передбачалося створення дванадцяти ІМС на 2000 транзисторів кожна, що мали б виконувати відповідні групи з задуманих функцій. Однак М. Хофф запропонував використати лише одну універсальну ІМС з програмним керуванням, що виконувала б усі задані функції, а за необхідності - й інші.

Єдиним недоліком було збільшення часу обчислень, що незворотне за програмної реалізації (порівняно з жорсткою логікою). Але для калькулятора це було несуттєво: збільшення тривалості обчислень із десятків мікрсекунд до десятків мілісекунд користувачем не помічалось.

Отже, у 1971 році фірма INTEL створила мікропроцесор INTEL4004, що виконував операції з чотирирозрядними двійковими числами і вмщував 2250 транзисторів.

З'явившись у мікрокалькуляторах, мікропроцесори (**програмна логіка**) стали застосовуватись у найрізноманітніших обчислювальних і керуючих пристроях, витісняючи схеми з жорсткою логікою.

## 9.2 Структура мікропроцесора

Структурну схему МП наведено на рис. 9.2.

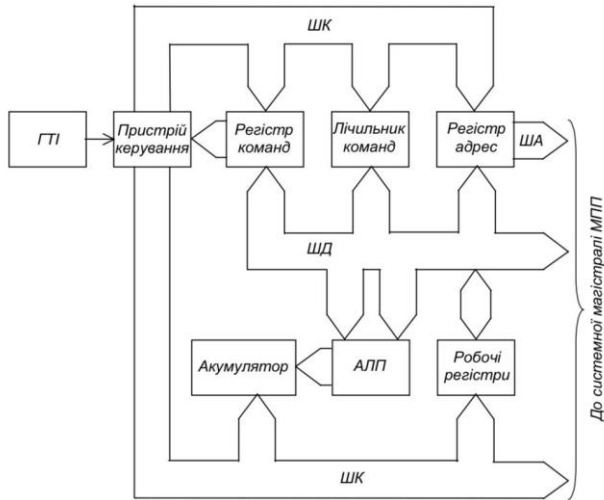


Рисунок. 9.2 - Структура мікропроцесора

МП містить три основні пристрої: арифметико-логічний пристрій (АЛП), реєстри даних (РД) і пристрій керування (ПК). Ці та інші пристрої, що приймають участь у пересиланні даних, з'єднано шинами внутрішньої магістралі: ША, ШД і ШК.

Синхронізує і задає темп роботи (швидкодію) МП **генератор тактових імпульсів (ГТІ)**.

**АЛП** є комбінаційним пристроєм, у якому відбувається виконання арифметичних і логічних операцій над даними.

**Реєстри** забезпечують виконання функцій МП за рахунок зберігання кодів даних, адрес, команд та ін.

**Акумулятор** є основним реєстром МП при діях з даними. Більшість арифметичних і логічних операцій з двома словами даних здійснюється з використанням АЛП і акумулятора.

У **реєстрі стану** (ознак або прапорців) зберігаються ознаки результату побіжної операції АЛУ (нульовий, додатний, від'ємний та

ін.). Ці ознаки використовуються при виконанні наступних команд, наприклад, для розгалуження програми.

**Лічильник команд** зберігає номер команди, що виконується, і тієї, що буде виконуватись наступною. Перед початком виконання програми до нього заноситься адреса її першої команди.

**Регістр адреси пам'яті** містить адресу пам'яті, що буде використана МП у наступному такті роботи. Його виходом є ША.

**Регістр команд** зберігає код команди, яка виконується в даний момент.

**Робочі регістри** є внутрішньою надоперативною пам'яттю МП і застосовуються для проміжного зберігання кодів даних і адрес, забезпечуючи підвищення швидкодії.

Підключення внутрішньої магістралі МП до системної магістралі МПУ відбувається через **буферні регістри інтерфейсу і вихідні підсилювачі**.

**Пристрій керування** узгоджує роботу всіх вузлів МП.

### 9.3 Особливості роботи і використання мікропроцесорів.

#### Двійкова система числення. Структура мікропроцесорної системи

Особливістю сучасних процесорів є те, що вони працюють із числами, представленими не у **десятковій**, а у **двійковій системі числення**: число представляється не як сума ступенів числа 10, помножених на відповідні числа від 0 до 9:

$$N_{10} = a_1 \cdot 10^0 + a_2 \cdot 10^1 + a_3 \cdot 10^2 + \dots + a_{n+1} \cdot 10^n, \quad (3.1)$$

де  $a_i = \{0;1;2;3;\dots;9\}$ ,

а як сума ступенів числа 2, помножених на 0 або 1:

$$N_2 = a_1 \cdot 2^0 + a_2 \cdot 2^1 + a_3 \cdot 2^2 + \dots + a_{n+1} \cdot 2^n, \quad (3.2)$$

де  $a_i = \{0;1\}$

У результаті основою такого процесора є двостабільний (такий, що має два стани), а не десятистабільний елемент.

Прикладом двостабільного елемента, призначеного для запам'ятовування інформації, є тригер, а десятистабільного - може бути двійково-десятковий лічильник. Двійково-десятковий лічильник, що має 10 станів, побудовано на чотирьох тригерах. У той самий час на чотирьох тригерах може бути побудовано пристрій (наприклад, також лічильник або регістр), що має 16 станів. Звідси видно, чому за основу взято двійкову систему числення. Її застосування при побудові цифрових електронних засобів з опрацювання інформації дає змогу уникнути зниження їхніх потенційних можливостей більш ніж на третину. Отже, двійкова система при технічній реалізації є більш економічною з точки зору апаратних затрат.

У 1946 році ВМС США замовили двом університетам - Гарвардському і Принстонському - розробку цифрової обчислювальної машини для систем керування артилерією лінкорів. Гарвардська структура мала два пристрої пам'яті: програм і даних. Це забезпечувало високу швидкодію, але вимагало використання двох трактів передачі інформації. Оскільки такі машини тоді будували на електронновакуумних лампах, то введення до їхнього складу будь-якого вузла призводило до значного збільшення габаритів і зменшення надійності всієї системи. Отже, перемогла принстонська структура - структура фон Неймана, за якої дані і програма зберігаються в одному й тому ж ЗП і для обміну даними між АЛП й ЗП та між ПК й ЗП використовуються однакові процедури. Після звернення МП до ЗП перший код вважається кодом команди, а наступні - адресами, даними чи командами у контексті виконання першої команди. Структуру фон Неймана застосовують при побудові і сучасних універсальних процесорів. Але зараз, особливо в мікроконтролерах, про які піде мова дещо пізніше, застосовують і гарвардську структуру, що значно підвищує їхню швидкодію. А надійність систем визначається дуже високою надійністю ВІС -

надійність мікросхеми вища за надійність навіть однієї лампи.

На основі МП виконуються **мікропроцесорні пристрої** (МПП), перш за все мікро-ЕОМ - пристрій, що містить МП, запам'ятовувальні пристрої, органи керування і засоби зв'язку з зовнішніми пристроями - інтерфейс.

**Інтерфейс** (англ. *interface* - засіб спряження, сполучення) є сукупністю уніфікованих технічних і програмних засобів, необхідних для підключення зовнішніх пристроїв. Він забезпечує перетворення сигналів МП у сигнали, що сприймаються зовнішніми пристроями і навпаки, підсилення сигналів та становить собою апаратні засоби і набір програм передачі даних (уніфікований протокол обміну інформацією).

Якщо мікро-ЕОМ призначена для керування деяким об'єктом, то вона доповнюється засобами сполучення (узгодження) з об'єктом (датчики, аналого-цифрові і цифро-аналогові перетворювачі, виконавчі пристрої і т.п.). Сукупність мікро-ЕОМ і засобів сполучення називають мікропроцесорною системою. Структура такої системи наведена на рис 9.3

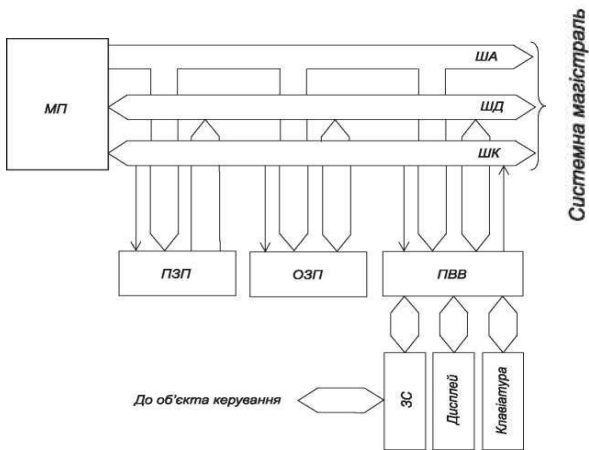


Рисунок. 9.3 - Мікропроцесорна система

МП є мозком МПП, у якому відбувається опрацювання інформації (команд і даних), що представляються у двійковому коді.

МП може виконувати дуже складні завдання з обчислень і керування, уміючи виконувати лише елементарні логічні й арифметичні операції, операції пересилання даних, порівняння двох чисел і деякі інші, за рахунок багаторазового їхнього повторення відповідно до заданої користувачем програми (визначеної послідовності команд).

Для забезпечення виконання операцій МП містить пристрої вибірки інформації з пам'яті і її дешифрування, арифметико-логічний пристрій, що є сукупністю схем, що реалізують арифметичні і логічні операції над даними, пристрій керування, який забезпечує виконання операцій МП, різні реєстри для тимчасового зберігання (надоперативний ЗП) і перетворення даних і команд, тактовий генератор, що задає темп роботи МП

Для зберігання інформації є два види ЗП: **постійний запам'ятовуючий пристрій (ПЗП)** та **оперативний запам'ятовуючий пристрій (ОЗП)**.

ПЗП призначений для зберігання інформації, що заноситься в нього при виготовленні МПП і зберігається при відключенні живлення. Завдяки цьому МПП після вмикання знає, як підготувати себе до роботи і що потрібно робити при одержанні тих чи інших зовнішніх команд і дій. ПЗП може працювати тільки у режимі видачі інформації. Вміст ПЗП можна змінити заміною його ІМС на інші з новим набором програм або перепрограмуванням ІМС, якщо вони це допускають.

ОЗП призначений для тимчасового зберігання даних і програм користувача, проміжних результатів роботи і працює як у режимі запису, так і у режимі видачі інформації. Якщо інформацію, що міститься у ОЗП, необхідно зберегти довгостроково, то її треба записати у зовнішній пристрій пам'яті.

ПВВ забезпечує зв'язок МП із зовнішніми пристроями - дисплеєм, клавіатурою (засоби сполучення з оператором) та **засобами сполучення** з керованим об'єктом (ЗС) - датчики, виконавчі пристрої,



АЦП, ЦАП і т.п.

Зв'язок між розглянутими модулями МПП здійснюється на основі **магістральної схеми**. Відповідно до неї модулі підключені до системної магістралі, що складається із **шини адреси ША, шини даних ШД і шини керування ШК**. Кожна із шин являє собою набір з деякого числа провідників - ліній.

По ША МП повідомляє, з яким з модулів чи з якою коміркою пам'яті (вказується їхній код - адреса) він буде працювати у даний момент часу.

Розрядність ША (число провідників) визначає число модулів, з яким може взаємодіяти МП. Зазвичай вона складає 16 (кількість модулів до  $2^{16}$  - комірок пам'яті ПЗП чи ОЗП, модулів вводу, виводу і т. ін.).

По ШК повідомляється характер взаємодії: введення даних чи їхній вивід (запис чи читання).

По ШД дані надходять у процесор і виводяться із нього, тобто ШД двонаправлена. У кожний конкретний момент часу ШД використовується тільки для вводу або тільки для виводу.

Оскільки до ШД приєднано всі модулі одночасно, то, щоб виключити їхній взаємний вплив, підмикання до провідників шини виконується за допомогою елементів, що мають три стани: **два - 1; 0 (логічні) і третій - стан відключення від шини (нелогічний)**. МП вибирає один модуль для виводу даних на ШД, задаючи його адресу на ША. Виходи інших модулів при цьому знаходяться у третьому стані - відімкнені від ШД.

Розрядність ШД визначає розрядність двійкових даних (розрядність слова даних), з якими може оперувати МП. Зазвичай ШД має 4, 8, 16 або 32 розряди: МП опрацьовує двійкові числа (слова) з 4, 8, 16 або 32 розрядів - біт (8 біт складають байт,  $2^{10} = 1024$  біт - кілобайт).

Типовий МП зазвичай виконують у вигляді ВІС, що має до 40 електричних виводів. Так у восьмирозрядного МП: 8 виводів забезпечують підмикання до ШД, 16 - до ША, 5-7 - до тактового генератора і

джерела живлення, решта - до ШК. Є й мікро-ЕОМ у вигляді ВІС. Їх називають однокристальними.

## ПЕРЕЛІК ПОСИЛАНЬ

1. *Сенько В.І., Панасенко М.В., Сенько Є.В. та ін.* Електроніка і мікро-схемотехніка: Підручник. - Т. 1. Елементна база електронних пристроїв. - К.: Обереги, 2000. - 300 с.
2. *Сенько В.І., Панасенко М.В., Сенько Є.В. та ін.* Електроніка і мікро-схемотехніка: Підручник. - Т. 2. Аналогові та імпульсні пристрої. - Х.: Фоліо, 2002. - 510 с.
3. *Сенько В.І., Панасенко М.В., Сенько Є.В. та ін.* Електроніка і мікро-схемотехніка: Підручник. - Т. 3. Цифрові пристрої. - К.: Каравела, 2008. - 400 с.
4. *Руденко В.С., Ромашико В.Я., Трифонюк В.В.* Промислова електроніка. - К.: Либідь, 1993. - 432 с.
5. *Забродин Ю.С.* Промышленная электроника. - М.: Высшая школа, 1982. - 384 с.
6. *Горбачев Г.М., Чаплигин Е.В.* Промышленная электроника. - М.: Энергоатомиздат, 1988. - 320 с.
7. *Красько А.С., Скачко К.Г.* Промышленная электроника. - Мн.: Высшая школа, 1984. - 208 с.
8. *Основи промислової електроніки / Руденко В.С., Сенько В.І., Трифонюк В.В.* - К.: Высшая школа, 1985. - 400 с.
9. *Колонтаєвський Ю.П., Сосков А.Г.* Промислова електроніка та мікро-схемотехніка: теорія і практикум: Навч. посібник / За ред. А.Г. Соскова. 2-ге вид. - К.: Каравела, 2004. - 432 с.
10. *Хоровиц П., Хилл У.* Искусство схемотехники: В 3 т.: Пер. с англ. 4-е изд., перераб. и доп. - М.: Мир, 1993.
11. *Титце У., Шенк К.* Полупроводниковая схемотехника: Справочное руководство: Пер. с нем. - М.: Мир, 1982. - 512 с.
12. *Силовіє напівпровідниковіє прилади: Справочник / О.Г. Чебовский, Л.Г. Моисеев и др.* 2-е изд., перераб. и доп. - М.: Энергоатомиздат, 1985. - 400 с.
12. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. - Л.: Энергоатомиздат, 1986. - 280 с.

14. *Гутников В.С.* Интегральная электроника в измерительных устройствах. - Л.: Энергоатомиздат, 1988. - 304 с.
15. *Федоров Б.Г., Телец В.А.* Микросхемы ЦАП и АЦП: функционирование, параметры, применение. - М.: Энергоатомиздат, 1990. - 320 с.
16. *Шидловский А.К., Козлов А.В., Комаров Н.С., Москаленко Г.А.* Транзисторные преобразователи с улучшенной электромагнитной совместимостью. - К.: Наукова думка, 1993. - 272 с.
17. *Сосков А.Г., Соскова И.А.* Полупроводниковые аппараты: коммутация, управление, защита: Учебник / Под ред. А.Г. Соскова. - К.: Каравелла, 2005. - 344 с.
18. *Электрические и электронные аппараты: Учебник / Под ред. Ю.К. Розанова.* 2-е изд. - М.: Информэлектро, 2001. - 420 с.
19. *Гершунский Б.С.* Справочник по расчету электронных схем. - К.: Вища школа, 1983. - 240 с.
20. *Резисторы: Справочник / В.В. Дубровский, Д.М. Иванов, Н.Я. Пратуевич и др. / Под ред. И.И. Четверикова и В.М. Терехова.* 2-е изд., перераб. и доп. - М.: Радио и связь, 1991. - 528 с.
21. *Электрические конденсаторы и конденсаторные установки: Справочник / В.П. Берзан, Б.Ю. Геликман, М.Н. Граевский и др. / Под ред. Г.С. Кучинского.* - М.: Энергоатомиздат, 1987. - 656 с.
22. *Полупроводниковые приборы. Транзисторы малой мощности: Справочник / А.А. Зайцев, А.И. Миркин, В.В. Мокряков и др. / Под ред. А.В. Голомедова.* - М.: Радио и связь, 1989. - 384 с.
23. *Полупроводниковые приборы. Транзисторы средней и большой мощности: Справочник / А.А. Зайцев, А.И. Миркин, В.В. Мокряков и др. / Под ред. А.В. Голомедова.* - М.: Радио и связь, 1989. - 384 с.
24. *Цифровые и аналоговые интегральные микросхемы: Справочник / С.В. Якубовский, Л.И. Ниссельсон, В.И. Кулешова и др. / Под ред. С.В. Якубовского.* - М.: Радио и связь, 1989. - 496 с.
25. *Основы теории цепей: Учебник / Г.В. Зевеке, П.А. Ионкин, А.В. Нутшил, С.В. Страхов.* 5-е изд. - М.: Энергоатомиздат, 1989. - 528 с.
26. *Воронин П.А.* Силовые полупроводниковые ключи: семейства,

- характеристики, применение. 2-е изд., перераб. и доп. - М.: Додека-XXI, 2005. - 384 с.
27. *Семенов Б.Ю.* Силовая электроника: от простого к сложному. - М.: СОЛОН-Пресс, 2005. - 416 с.
28. *Мелешин В.И.* Транзисторная преобразовательная техника. - М.: Тех-носфера, 2009. - 632 с.
29. *Миловзоров О.В., Панков И.Г.* Электроника: Учебник для вузов. - М.: Высш. шк., 2004. - 288 с.
30. *Голышко А.* Шаги в будущее. Шаг 3: смена инструментов // Радио. - № 4. - 2008. - С. 58-60.
31. *Паначевний Б.І., Свєргун Ю.Ф.* Загальна електротехніка: Підручник. - К.: Каравела, 2009. - 296 с.