

МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

МІКРОПРОЦЕСОРИ В СИСТЕМАХ ТА ПРИСТРОЯХ

Методичні вказівки до виконання курсової роботи за дисципліною
“МПСП” для студентів спеціальності 7.090 701 “Радіотехніка” усіх
форм навчання

МІКРОПРОЦЕСОРИ В СИСТЕМАХ ТА ПРИСТРОЯХ

Методичні вказівки до виконання курсової роботи за дисципліною
“МПСП” для студентів спеціальності 7.090.701 “Радіотехніка” усіх
форм навчання. / Укл. В. І. Мисленков, Ю.Л. Мейстер- Запоріжжя,
ЗНТУ, 2010. –82с.

Методичні вказівки містять необхідні відомості щодо виконання
курсowego проекту, до оформлення пояснювальної записки та її
структури, правила оформлення графічного матеріалу, варіанти
технічних завдань і приклади розробки типових завдань.

Укладачі: В. І. Мисленков, ст.. викладач,
Ю.Л. Мейстер, ст.. викладач.
Рецензент: С. В. Морщавка, к.т.н.,доцент,

Відповідальний за випуск ; В. П. Колесніков, зав. лабораторією

Затверджено на засіданні
кафедри РТ
Протокол № 10 від 22.06.2010 р.

ЗМІСТ

Перелік скорочень та умовних позначень	4
Вступ	5
1 Етапи та послідовність проектування.....	5
1.1 Аналіз технічного завдання.....	6
1.2 Розробка структурної схеми	8
1.3 Вибір елементної бази.....	11
2 Аспекти схемотехніки цифрових та мікропроцесорних приладів	13
2.1 Рекомендації ЕСКД для виконання принципової схеми.....	14
2.1.1 Зображення елементів на кресленні	14
2.1.2 Відображення зв'язків на кресленні. Компонування схеми. Перелік елементів	17
2.2 Адресний простір процесора	233
2.3 Синхронізація сигналів МП системи. Цикли процесора. Швидкість виконання операцій	266
2.4 Центральний процесорний блок.....	28
2.5 Тактова частота. Генератори тактових частот	36
2.6 Пристрої пам'яті, ПЗП і ОЗП	38
3 Розробка програмного забезпечення.....	422
4 Перелік типових завдань.....	48
4.1 Багатоканальний вимірювальний пристрій.....	48
4.2 Спеціалізований обчислювач функції	49
4.3 Прилад обробки даних за перериванням.....	511
4.4 Прилад налагодження	533
4.5 Пристрій обробки сигналів звукової частоти	55
4.6 Пристрій цифрової обробки сигналів проміжної РЛС.....	56
4.7 Пристрій цифрової обробки сигналів.....	57
4.8 Пристрій реєстрації цифрових даних	58
4.9 Рекомендації до порядку виконання роботи	59
4.10 Узагальнені етапи розробки пристрою реєстрації	69
4.10.1 Розробка електричної структурної схеми	69
4.10.2 Розробка електричної принципової схеми.....	71
4.10.3 Розробка програмного забезпечення	75
Виводи та рекомендації	80
Перелік посилань	81

ПЕРЕЛІК СКОРОЧЕНЬ ТА УМОВНИХ ПОЗНАЧЕНЬ

АЦП -	Аналогово-цифровий перетворювач
ВІС(БИС) -	Велика інтегральна схема
ДППН -	Диференціальний підсилювач постійної напруги
ЄСКД -	Єдина система конструкторської документації
ЗП(ЗУ) -	Запам'ятовуючий прилад
ІС(ИС) -	Інтегральна схема
КМОП -	Технологія цифрових ІС на комплементарних транзисторах
МП -	Мікропроцесор
МПК -	Мікропроцесорний комплект
МПС -	Мікропроцесорна система
ОЗП(ОЗУ) -	Оперативно запам'ятовуючий прилад
ПДП -	Прямий доступ до пам'яті
ПВП -	Псевдо випадкова послідовність
ПЗП(ПЗУ) -	Постійно запам'ятовуючий прилад
ПЗ(ПО) -	Програмне забезпечення
ПЕЗ(ПЭЗ) -	Перелік елементів
РЕА(РЭА) -	Радіоелектронна апаратура
СІС(СИС) -	Середня інтегральна схема
СТП -	Стандарт підприємства
ТЗ -	Технічне завдання
ТЗ(ТС) -	Технічні засоби
ТТЛ -	Технологія транзисторно-транзисторної логіки
ТТЛШ -	Технологія транзистор-транзисторної логіки з діодами
Шоттки	
ТУ -	Технічні умови
УВВ -	Прилад введення/виведення
УВЗ(УВХ) -	Прилад вибірки-збереження
УГП(УГО) -	Умовне графічне позначення
ЦАП -	Цифро-аналоговий перетворювач
Е1(Э1) -	Схема електрична структурна
Е3(Э3) -	Схема електрична принципова
ЕЗЛ(ЭСЛ) -	Еммітернозв'язана логіка

ВСТУП

Курсова робота за дисципліною "Мікропроцесори в системах та пристроях" проводиться з метою придбання студентами вміння розробки цифрових та обчислювальних приладів із використанням ВІС, СІС та дискретних елементів. Робота розвиває знання з схемотехніки, отримані на лекціях, лабораторних та практичних роботах, орієнтує студентів на самостійну творчість з використанням спеціальної й довідкової літератури.

Робота заснована на знаннях принципів проектування імпульсних та цифрових приладів, мікропроцесорних керуючих, інформаційних та обчислювальних систем, а також приладів обробки інформації. Важливе місце в роботі займає закріплення вміння програмування на мові Асемблера задля збудування керуючих та обробляючих програм у реальному масштабі часу. Результати роботи повинні бути представлені до захисту структурною та принциповою схемами приладу разом з пояснювальною запискою, що відображує послідовність проектування системи та обґрунтування використаних рішень для її блоків, вузлів, елементів та програмного забезпечення. Графічна та пояснювальна частини роботи оформляються відповідально до ЄСКД та СТП 2070848.12-90.

Методичну допомогу до прийняття технічних рішень можна отримати на запланованих консультаціях до курсової роботи. Виконана робота повинна бути представлена до перевірки не пізніше 7 днів до захисту.

Захист роботи проводиться у встановлених термінах після виправлення недоліків, які були виявлені у процесі перевірки.

1 ЕТАПИ ТА ПОСЛІДОВНІСТЬ ПРОЕКТУВАННЯ

Відсутність універсальних методик побудови приладу та засобів вибору того, чи іншого технічного рішення не виключає необхідності дотримання послідовності дій, які дозволяють визначити основні функції приладу, алгоритм його роботи, а також набір функціональних вузлів та блоків, що реалізують надане технічне завдання.

1.1 Аналіз технічного завдання

У першому пункті технічного завдання приведені основні функції та характеристики, параметри приладу, які характеризують його споживчі та експлуатаційні властивості. Завданням першого етапу проектування є визначення додаткових умов роботи та функції приладу з точки зору його технічної реалізації, а також формування вимог до його вихідних і вхідних сигналів. У більшості випадків можливі різноманітні способи реалізації ТЗ, із яких поперши необхідно роздивитися відомі рішення, які дозволяють оцінити об'єм, коштовність та споживчу потужність приладу. Необхідно визначити спосіб обробки інформації та методи реалізації необхідних функцій. Наприклад, аналогово-цифрове перетворювання можливо зробити методом подвійного інтегрування, послідовного чи паралельного перетворювання. Від нього залежить точність, швидкодія, складність, вартість приладу та трудомісткість його виготовлення. При аналізі ТЗ необхідно брати до уваги надійність обраного методу та діапазон вхідних та вихідних сигналів.

У процесі аналізу ТЗ необхідно встановити оптимальне відношення технічних засобів (ТЗ) та програмних засобів приладу, що проектується. Під ТЗ ми маємо сукупність елементів, вузлів та блоків принципової або структурної схем приладу. ТЗ завжди представлені фізичними приладами, які характеризуються вагою, розміром, вартістю та визначеним набором функцій, що виконуються: логічні елементи, прилади пам'яті, інтерфейси, мікропроцесори, підсилювачі, ЦАП, комутаційні прилади та ін.. ПЗ - це послідовність команд чи даних, що розміщуються в приладах пам'яті, яка формує алгоритм роботи системи, функції обробки та обчислення. ПЗ характеризуються об'ємом, затратами на розробку, швидкодією та необхідністю узгодження з ТЗ.

Аналіз ТЗ повинен містити початковий розподіл функцій поміж ПЗ та ТЗ з метою формування вимог до елементів структурної схеми. Наприклад, реалізація функції лічильника є реальна, як у вигляді ТЗ, так і програмними засобами. У першому випадку при збільшенні швидкості обробки та незалежному функціонуванні лічильника неминучі витрати енергії, збільшення вартості і т.д., а у другому випадку - зниження швидкодії при послідовному циклічному виконанні команд процесора.

У випадку розробки приладів з використанням мікропроцесорних комплектів необхідно довести використання тої чи іншої серії ВІС з переліку потрібного набору функцій, продуктивності системи, об'єму обчислювальних та керуючих операцій. З цієї точки зору зручно класифікувати розроблювальні прилади на мікропроцесорні, керуючі прилади (контролери) та обчислювальні прилади (комп'ютери). Ці види цифрових приладів не можливо жорстко виділити один від одного, але можливо виділити важливі смуги, що їх розділяють.

Для контролерів характерно використання жорстких алгоритмів та програм, які забезпечують роботу виконуючих приладів у реальному масштабі часу. Початковими та кінцевими діями для них є, як правило, електричні керуючі сигнали.

Для комп'ютерів характерно використання універсальних різноманітних програм, в яких початковими та кінцевими діями є числові та графічні данні.

Контролери розробляються для використання у конкретних приладах та реалізують специфічні операції, а комп'ютери використовуються для інформаційних та продуктивних обчислювальних систем з великою кількістю універсальних операцій і розвиненим упорядкуванням.

Можливе використання комп'ютера для керуючих схем високого рівня, а також використання спеціалізованих обчислювальних приладів, що виконують вузький набір математичних операцій при жорстких вимогах до продуктивності, компактності, надійності та вартості (перетворювачі Фур'є, аналізатори, корелятори). Якщо взяти до уваги ці особливості, зрозуміло, що методи аналізу ТЗ та розробки схем таких приладів можуть відрізнятися. У процесі проектування елементів обчислювальних систем (комп'ютерів) необхідно брати до уваги проблемну орієнтацію усього приладу, а також спосіб реалізації функції у вигляді завантажувальних та вбудованих програм (у визначеній операційних системі). Необхідно надати користувачу необхідність гнучкого використання функцій і режимів розроблюваних блоків. У такому вигляді, для комп'ютерних елементів і блоків виправдана деяка функціональна та технічна надмірність.

Розробка контролерів та спеціалізованих обчислювачів ґрунтується на використанні універсальних і спеціальних ІС для

реалізації тільки необхідних технічних та програмних функцій. У цьому випадку суттєву роль відіграє мінімізація схем, а також оптимізація ПЗ.

Аналіз ТЗ повинен містити в собі виділення класифікаційних характеристик розроблювального блоку, визначення базових, додаткових режимів та функцій, уточнення їх параметрів на рівні експлуатаційних та технічних вимог, вибір базових принципів їх реалізації. Визначені вимоги та запропоновані параметри повинні мати логічне та математичне обґрунтування, яке приймає до уваги економічні та комерційні аспекти розробки.

Наприклад, для спеціалізованого обчислювача необхідно уточнити діапазон та спосіб подавання початкових даних та результату; вибрати математичні операції та способи їх реалізації; виділити найбільш тривалі операції та розглянути методи скорочення витрат часу на їх виконання; визначити послідовність та алгоритм обробки даних; конкретизувати режими роботи обчислювача і т.д.

Аналіз ТЗ повинен закінчитися розподілом функцій між центральними інтерфейсними елементами схеми. Це дозволить перейти до наступного етапу проектування - розробки структурної схеми.

1.2 Розробка структурної схеми

Структурна електрична схема відображає принцип побудови приладу, та виглядає як набір функціональних завершених вузлів з відомим принципом дії, які з'єднані між собою інформаційними зв'язками. Зв'язки повинні відображати тільки найбільш вагомні взаємодії між функціональними елементами схеми та вказувати на смисл і напрямок пересилки інформації. На структурній схемі не треба вказувати на особливості реалізації зв'язків, наприклад, у вигляді шин та магістралей, а також розділяти функціонально завершені блоки, так як це ускладнює розуміння базових принципів функціонування схеми.

Схема електрична структурна (стандартне позначення - Е1) є технічний документ у вигляді креслення стандартного формату (рекомендовані формати - А3, А4), з оформленням, як цього вимагає ЕСКД (ГОСТ 2.701-84, ГОСТ 2.702-75). Основні надписи якого приведені на рис. 1.1 /24, 26, 27/. На кресленні повинні бути вказані три основні надписи: правий нижній штамп (основний), лівий боковий штамп (обліковий), лівий верхній штамп (сигнальний). Як і усі

документи проекту креслення виконуються на ескізному рівні розробки (літера Е) та підписується студентом у графі "розроб." з зазначенням дати

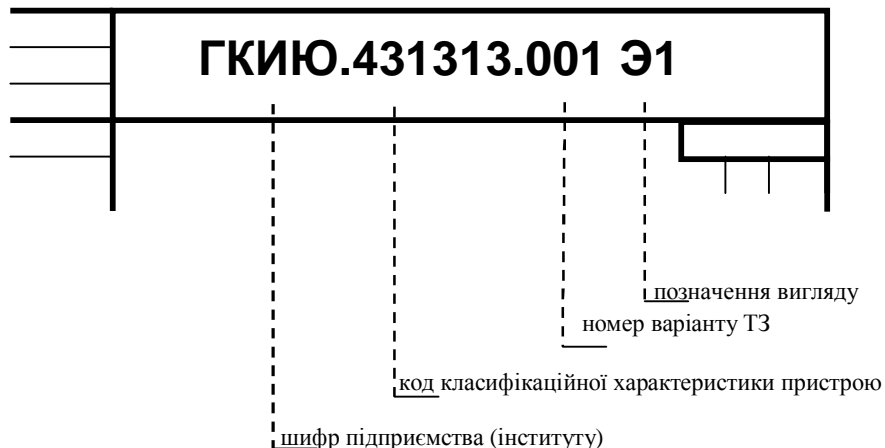


Рисунок 1.1-Кодування децимального номеру

Розроблювальні вузли визначаються на кресленні у вигляді прямокутників з внутрішнім надписом по ГОСТ 2.702-75 (можливі позначення по ГОСТ 2.710-81 й 2.743-82), що вказує на функцію виконуючу блоком. Розміри прямокутника визначаються розмірами надпису, шрифту та заповненням креслення схемою на 60-70%. Вузли та блоки, що не є фізичними компонентами розроблювального блоку, на схемі не відображуються. Між-блочні та зовнішні (по відношенню до приладу) зв'язки відображуються у вигляді одиночних ліній завтовшки $s/2$ з зазначенням напрямлення передачі інформації стрілкою (5 мм, $> 60^\circ$). Зовнішні зв'язки треба постачати смисловими надписами про тип та структуру інформації з круговим рухом. Оптична, звукова, механічна, візуальна інформація також відображуються у вигляді стрілок зовнішніх зв'язків (наприклад, введення з клавіатури, індикація, знаходження елемента і т.д.).

Починати побудову структури треба з найбільш великих та функціонально відпрацьованих вузлів, що призначені для виконання базових з точки зору користувача функцій (ЦАП, процесор, контролер відображення інформації і т.д.). Після цього схема доповнюється

допоміжними вузлами та інтерфейсними вузлами. Кожен з вузлів структурної схеми повинен бути відображений у пояснювальній записці на рівні обґрунтування виконуючих функцій та зв'язків з іншими блоками відповідно вимог ТЗ та проведеним аналізом у попередньому розділі. Елементи, що виконують сервісні схемотехнічні функції, необхідність в яких з'являється на етапі синтезу принципової схеми (наприклад, тактові генератори для процесора, дешифратори адреси та ін.), можна не розміщати на структурній схемі.

Для вузлів, параметри, або деякі функції яких не можуть бути точно визначені на рівні структури, можливо орієнтоване визначення з наступним уточненням в матеріалах записки. Наприклад, блок ПЗП може бути охарактеризований тільки приблизним об'ємом пам'яті у наслідку з не визначенням об'єму програмного забезпечення. Для інтерфейсних блоків необхідно визначити спосіб та вид інформаційного обміну (послідовний, паралельний, синхронний, асинхронний та ін.) з попереднім аналізом подібних інтерфейсних керуючих сигналів (сигнали готовності, стробів, ознаки закінчення або початку передачі, синхросигнали і ін.). На цьому ж етапі треба обмірковувати і можливі протоколи обміну як у середині розроблювального приладу так і з зовнішніми блоками. Якщо у складі приладу потрібно ввести кнопочке керування (клавіатуру), то треба визначити тип клавіатури та засіб вводу інформації. Для блоків відображення інформації необхідно визначити та обґрунтувати метод індикації і форму надання інформації.

Якщо є необхідність, структурна схема повинна визначати елементи аналого-цифрового перетворення з характеристиками параметрів аналогового сигналу та точності перетворення.

Приклад побудови структурної схеми показан на рис. 1.2.

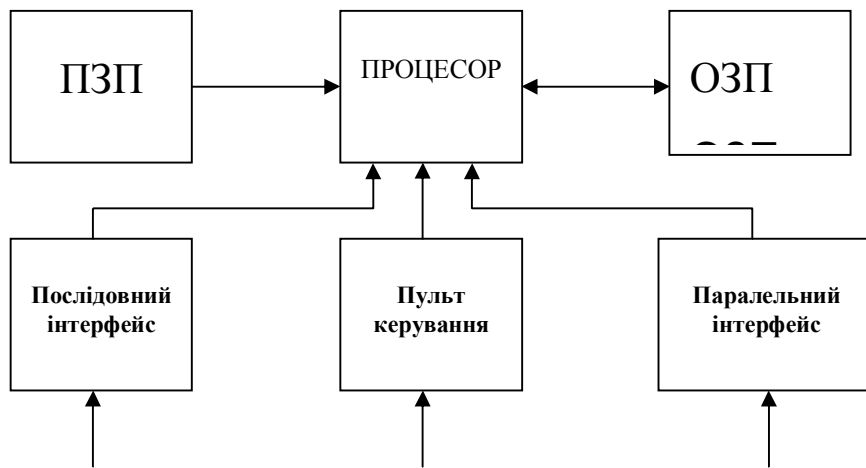


Рисунок 1.2-Структурна схема контролера інтерфейсу

На закінчення синтезу структурної схеми необхідно виділити основні параметри і функції кожного вузла, після чого треба пояснити вибір елементної бази.

1.3 Вибір елементної бази

Різноманітність елементної бази цифрових й аналогових ІС дає можливість аналізу недоліків й переваги серійних елементів з точки зору реалізації обраних в попередніх розділах функцій. Параметрами виділення базової серії (або серій) є мінімізація кількості використаних в розробці елементів, раціональне використання функцій мікросхем, використання якомога меншої кількості дискретних елементів, забезпечення мінімальної вартості й використаної потужності. Однозначно також те, що використані елементи повинні надати бажану продуктивність, а у випадку використання мікропроцесорних комплектів необхідна попередня оцінка продуктивності системи.

Вибір цифрової елементної бази треба почати з функціонально смних елементів: процесорів, контролерів, приладів інтерфейсу, тощо. Аналіз потрібно проводити по основним класифікаційним параметрам й функціональним ознакам інтегральних схем. Для ІС

мікропроцесорних комплектів найбільш важливими параметрами є: розрядність зовнішніх шин, величина й дозволений діапазон використаної тактової частоти.

Процесори з фіксованою системою команд оцінюються з точки зору продуктивності програми, яка представлена на мові асемблера. Наприклад, програми, що мають у собі велику кількість дій помноження й ділення, будуть виконуватися швидше у системі, що має процесор, у який інтегровані команди даного типу. У випадку виконання цих арифметичних дій на основі підпрограм, швидкість обробки інформації знижується у 50-500 разів. Для виконання операцій, які мають у собі складні математичні функції, доцільно використання спеціалізованих ІС або додаткових приладів розширення арифметичних операцій. З іншого боку, продуктивність систем, що націлені на збір, обробку й розподіл інформації, визначається присутністю розвиненої системи команд переміщення операндів. Наприклад, якщо треба реалізувати переміщення даних з однієї області пам'яті в іншу, циклічне повторення групи команд може бути реалізоване через одну єдину спеціалізовану команду, що дає можливість збільшити швидкість переміщення даних в 5-10 разів, й скоротити об'єм ПЗ в 1,5-2 рази. Зв'язок з великою кількістю зовнішніх приладів при високій швидкості обміну реалізується, як правило, з допомогою спеціалізованих приладів – розширювачів команд вводу-виводу. Продуктивність того чи іншого процесору в системах керування пов'язана з розвитком у системі команд групи операцій логічної обробки інформації і модифікації операндів. Для систем такого типу також бажано використання спеціалізованих мікропроцесорних елементів.

Вибір елементної бази цифрових приладів малого й середнього ступенів інтеграції має аналогічні критерії, але, треба брати до уваги можливості узгодження ІС з комплектами мікропроцесорних ВІС. Необхідно розвинути таку можливість, як використання ІС ТТЛШ (серій КР1533, КР1531, К555) й КМОП (КР1554, КР1561, К561), пояснити переваги обраних серій для реалізації приладу. Для вузлів з високою швидкістю може бути використані ІС ЕСЛ-типу (К1500 й К500). Треба взяти до уваги, що використання ІС різноманітних технологій в одній схемі може привести до використання елементів що сполучаються (перетворювачів рівня). В деяких випадках виправдане використання й старих ІС (серій К155, К131, КР176 й ін..), якщо

необхідна мікросхема відсутня в функціональному ряду перспективних серій.

Вимоги до основних параметрів аналогової й аналого-цифрової елементної бази, як правило, формулюються у процесі аналізу ТЗ й синтезу структурної схеми. У цих розділах частіше за все визначається й тип функціональних мікросхем (ЦАП, ЦАП, ПВХ й ін..). У цьому розділі потрібно відобразити вимоги до універсальних елементів аналогових приладів: ДУПН (наприклад серії КР140, КР544, К553, К157, К1401, К1408), компараторам (серій К554, КМ597), ключам й комутаторам (КР590, К543, КР1561), стабілізаторам струму й напруги (КР142, К1009, К157). Це найбільш трудомісткий процес, тому що порівнювати необхідно велику кількість параметрів, що важко порівняти. Особливо дуже уважно треба оцінювати похибки, що вносять аналогові елементи, в залежності від визначеної схеми їх включення. Для такого аналізу найбільш доцільним є використання метода графів з використання мікрокомп'ютерів (МК90, МК85) й калькуляторів які можливо програмувати.

Цей розділ ілюструє причини й передумови добору елементів з точки зору раціональної побудови схеми приладу.

2 АСПЕКТИ СХЕМОТЕХНІКИ ЦИФРОВИХ ТА МІКРОПРОЦЕСОРНИХ ПРИЛАДІВ

Процес розробки схеми - це пошук компромісних технічних рішень, що реалізують завдання в ТЗ функції обліком наступних факторів:

- виконання розробки у наданий термін;
- задоволення вимог надійності й економічності;
- мінімізація вартості й масо-габаритних параметрів;
- забезпечення високих ергономічних показників;
- оформлення технічної документації відповідно з вимогами СТП й ЕСКД.

Розробка схеми пов'язана з розділенням приладу що проектується на ряд взаємодіючих вузлів. Збудування вузлів без обліку їх взаємного впливання призводить до нераціонального рішення. У процесі розробки вузлів необхідно конкретизувати функції що виконуються, розкласти їх на складові частини, реалізація котрих можлива на базі набору елементів який ми маємо. Для прийняття обґрунтованих

технічних рішень на даному ступені потрібно повна технічна інформація об елементах й точне відображення функцій що виконуються, у вигляді умовних графічних позначень.

2.1 Рекомендації до використання ЕСКД за для виконання принципової електричної схеми

Однією із найбільш важливих задач курсової роботи є поглиблене вивчення офіційних видавництв стандартів й здобуття навичок їх творчого використання на практиці. Перелік основних стандартів наданий у додатку 1.

До захисту курсової необхідно надати три основних документа:

- схема електрична структурна (Е1);
- схема електрична принципова (Е3);
- пояснювальних запис (ПЗ).

Основні вимоги до оформлення креслення принципової схеми Е3 збігаються з вимогами підрозділу 1.2. у частині підготовки стандартного листа с необхідними надписами. Розробка Е1 й Е3 проводиться студентами на рівні ескізного проекту, тому основний надпис повинен мати в собі літеру Е у лівій графі під рубрикою "Літ.". Правий ніжній кутку штампу має у скороченому вигляді відомості о найменуванні інституту, кафедри й групи студента. Децимальний номер креслення Е3 (як і для Е1) визначається по класифікатору ЄСКД

Найменування схеми повинно складатися з двох частин:

- найменування теми курсової роботи (шрифт 2);
- кваліфікуючий надпис: "схема електрична принципова" (шрифт 3,5);

Скорочення слів в надписах не дозволяються. Використані аббревіатури повинні бути роз'яснені у ПЗ.

2.1.1 Зображення елементів на кресленні

Усі елементи схеми зображуються у вигляді умовних графічних позначень (УГП), правила оформлення яких приведені у стандартах . Ці правила регламентують спосіб збудування умовного позначення й зображення функцій, котрі виконує елемент у конкретній схемі. У різноманітних вузлах схеми для одного й того ж елемента можуть

бути збудовані різноманітні УГП. Таким чином доцільно представляти УГП елемента у двох формах. Одна з них відображає, можливо більш повний набір функцій, що виконуються елементом, і докладно описує взаємозв'язок виводів елемента між собою. Ця форма є довідковим УГП. Друга форма - робоче УГП являє собою окремий випадок зображення для функції і виводів елемента, використаних у конкретному вузлі. Робоче УГП повинно забезпечувати наочність функцій елемента у схемі в цілому. На рис. 2.1 приведений приклад довідкового зображення мікросхеми K561LC1 й два показових варіанта (D1 й D2) і робочих УГП, що відображають виконання елементами логічних функцій. Рис.2.2. зображує деякі варіанти використання мікросхеми KP1533TM2 й відповідні їм робочі УГП: RS - тригер (D1) інверсійний регістр й лічильник з асинхронним скиданням (D2), інвертор й роздільник частоти (D3), синхронний лічильник (D4).

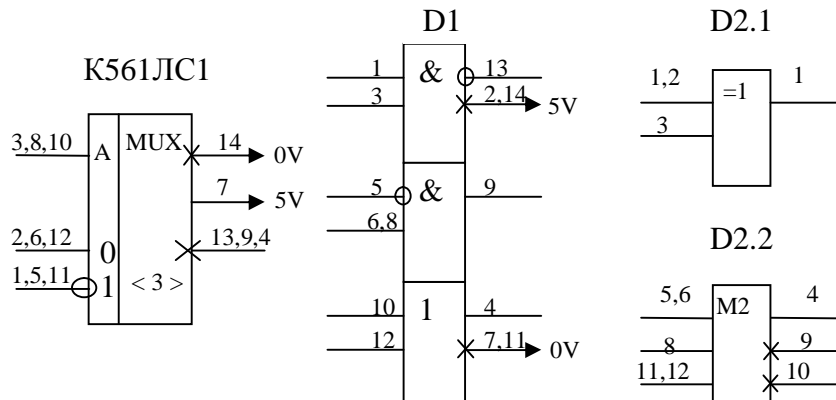


Рисунок 2.1- Довідкове зображення мікросхеми

Майже такі самі способи можна використовувати для оптимізації технічних рішень з метою мінімізації кількості мікросхем.

Скорочений перелік нескладних правил дозволить обійти грубі помилки при зображенні робочих УГП елементів:

а) виводи елементів які не мають зовнішніх зв'язків, на УГП не зображуються;

б) позначка виводів у додаткових полях УГП й позначення функції в основному полі треба вибирати й встановлювати з відповідністю до функціональним значенням елемента;

в) інформаційні виводи, які не мають логічного сенсу, забезпечуються символом "*" й відповідною позначкою виводу.

г) виводи, які не мають інформаційного значення для даного використання елемента, але мають зовнішні зв'язки, мають символ "*" й можуть не мати позначки. Позначки виводів живлення мають у собі інформацію о напрузі (струмі), як правило, - номінальний параметр. Допустимо, виводи живлення на УГП не вказувати, а пояснити їх підключення у текстових додатках, які містяться на вільному полі креслення.

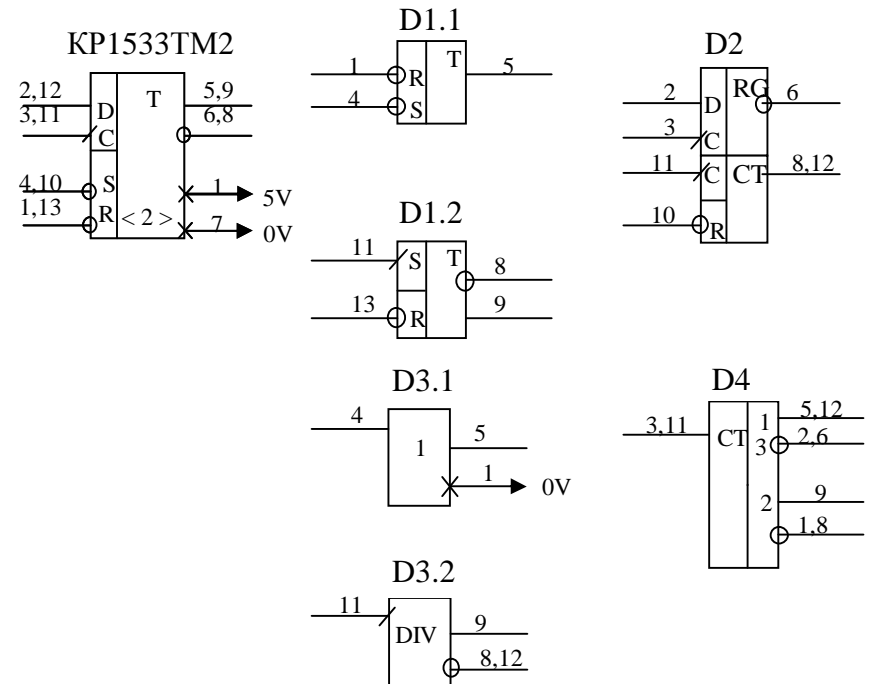


Рисунок 2.2-Використання мікросхеми KP1533TM2 й відповідні робочі УГП

У першій строчці основного поля УГП міститься позначення функції елемента. У наступних строках - додаткові функції й свідомості о режимі роботи, способі підключення і ін.. Як правило, у цих строках основного поля надають кількісні характеристики елемента. Наприклад, для елементів ОЗП й ПЗП - об'єм пам'яті що використовується, для лічильників - кількість станів, для набору резисторів - опір та ін.. Крім того, на УГП ПЗП вказують позначення програми чи набору даних, які повинні бути записані в ПЗП перед встановленням до приладу. Свідомості до програми також заносять у графу "примітка" переліку елементів схеми ПЗ.

В процесі утворення складних позначок рекомендується розділяти стандартні позначки крапкою. Наприклад, позначку ERD, що записана без крапки можна зрозуміти як E.R.D (дозвіл зчитування) або як ER.D (помилка даних).

Позиційні позначення у схемі розміщуються у горі, або з правого краю від елемента й повинні відповідати функції елемента, що визначен за ГОСТ 2.710-81. Позиційні позначення утворюється з однієї літери і цифр. Дві або більше літери треба вказувати тільки при необхідності введення більш глибокої класифікації елементів.

2.1.2 Відображення зв'язків на кресленні. Компонування схеми. Перелік елементів

Усі види зв'язків відображаються на кресленні у вигляді ліній завтовшки $s/2$ (товщина що рекомендується - 0,4 мм) й, як правило, з'єднують виходи одного елемента зі входами інших. Базовий вихід цифрового елемента не можна з'єднувати зі входом іншого. При необхідності цього з'єднання використовують елементи, які мають стан "Z" (двох-направлений вивід, вихід з трьохма станами, вихід з відкритим виводом генератора "O").

Електричні зв'язки схеми відображаються повністю, тобто кожен провід схеми відображається роздільною лінією, яка з'єднує точки підключення елементів. Кількість перехресть й вигинів повинно бути мінімальним. Ці вимоги дозволяють наглядне бачення схеми не тільки для розробника, а ще й для користувачів технічної інформації, які пов'язані з виробництвом, використанням, ремонтом радіоелектронних приладів (конструктори, регулювальники, налагоджувачі тощо). Детальне відпрацювання з'єднань на схемі дозволяє уникнути грубих помилок й розвиває необхідні професійні навички

розробника РЕП. На схемі дозволяється відображати групові лінії зв'язків тільки у випадках крайньої необхідності, якщо це не робить читання схеми і її аналіз складним. Можливі ситуації за для використання групових ліній зв'язків є приєднання великої кількості зовнішніх приладів (багатократні рознімання), скорочене позначення великої кількості однотипних елементів й з'єднань що повторюються. Групові з'єднання одиночних зв'язків, які мають самостійне значення, недопустимі. При використанні групових зв'язків необхідно виконувати правила:

- а) груповий зв'язок повинен мати мінімальну кількість відгалужень; трьохстороннє відгалуження недопустиме.
- б) недопустиме також кільцеве з'єднання групових зв'язків.
- в) усі зв'язки, що входять до групи у містах підключення повинні бути відображені у розгорнутому вигляді.
- г) при вводі зв'язків до групи й виводі з неї необхідно вказувати однакові умовні номери.
- д) у випадку, коли зв'язок у групі має два або більше розгалужень, то поряд з номером кожного з розгалуження через пробну косу рису необхідно вказувати їх кількість.
- е) перехрестя групових зв'язків можливе тільки під прямим кутом. Інший спосіб є недопустимим.
- з) груповий зв'язок зображується основною лінією завтовшки s (рекомендована товщина - 0,8-1,0 мм).

Приклади зображення групових зв'язків наведені на рис. 2.3.

Приводом великої кількості групових зв'язків є, як правило, погане конструювання вузлів й елементів. Оптиміальне конструювання елементів дозволяє отримати якісне креслення при повному зображенні більшості зв'язків.

У схемі доцільно виділяти роздільні вузли, які мають взаємні з'єднання. Конструювання елементів у вузли (як правило вигляд відповідає вузлу структурної схеми) визначається з його функціонального призначення. При будівництві схеми дуже зручно розділити зв'язки на прямі та зворотні. Прямі зв'язки визначають, як правило, основні функції вузла, а зворотні - мають коректуючі, компенсуючі, керуючі або блокуючі дії.

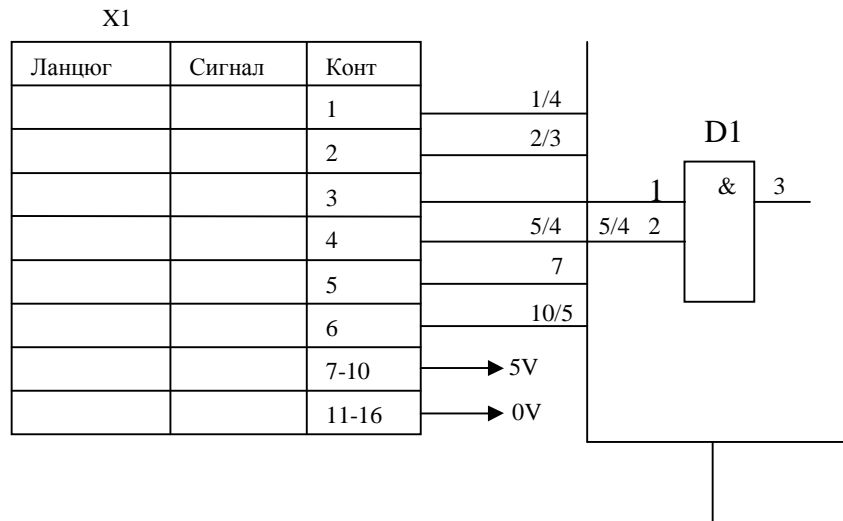


Рисунок 2.3-Зображення групових зв'язків

Цифрові елементи краще розміщувати один під одним; якщо передбачається їх каскадне з'єднання (збільшення розрядності, кількості станів тощо), або послідовно зліва направо до напрямку поширення сигналів від входу до виходу вузла. При зображенні аналогових елементів й вузлів необхідно передбачити розміщення великої кількості дискретних компонентів.

Розміщення вузлів й елементів, які мають магістральні зв'язки (мікропроцесорні прилади, елементи інтерфейсу, багатоканальні системи тощо) доцільно починати з розподіленні площі схеми під магістралі. У цьому випадку є можливим поворот формату на 90 градусів за годинниковою стрілкою (вузькою стороною до себе) й вертикальний спосіб розміщення магістралей. Частіше за все вхідні магістралі розміщують зліва, двох-направлені - у центрі, а вихідні - з права. При такому становищі зручно розміщувати приймальні й передаючі прилади інтерфейсу відповідально зліва й з права від двох-направленої магістралі, тому що двох-направлені виводи згідно з ГОСТ 2.743-82 можуть бути розміщені, як з лівої, так і з правої сторони УГП.

Зовнішні підключення схеми допустимо відображати у двох виглядах: у вигляді визначеному у ГОСТ 2.702-75, УГП або у вигляді таблиць,

згідно з ГОСТ 2.702-75, як вказано на рис. 2.4. Графа "Конт." завжди розміщується зі сторони підведених зв'язків.

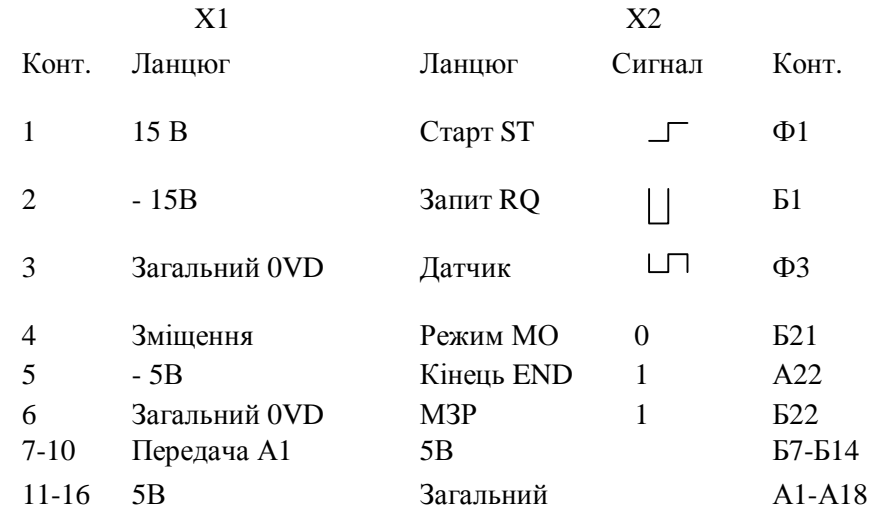


Рисунок 2.4-Зовнішні підключення схеми

Електрична принципова схема повинна однозначно й конкретно вказувати усі зв'язки поміж елементами які використовуються. У випадку наявності у схемі великої кількості однотипних фрагментів що повторюються, з'являється ускладнення з виготовленням креслень формату А0. Використання стандартних скорочених зображень дозволяє збільшити ємність креслення й недопустити його дроблення на декілька листів.

Фрагмент схеми що повторюється, який має із себе функціональну групу елементів, відкреслюється штрих пунктирною лінією. Цієї частині схеми присвоюється умовне позначення за ГОСТ 2.710-81, яке відображається над контуром виділеного фрагменту. Всі інші аналогічні функціональні групи позначаються у вигляді спрощених контурів, всередині котрих вказується тільки позиційне позначення елементів які використовуються. Приклади скорочених зображень наведені на рис. 2.5 й 2.6.

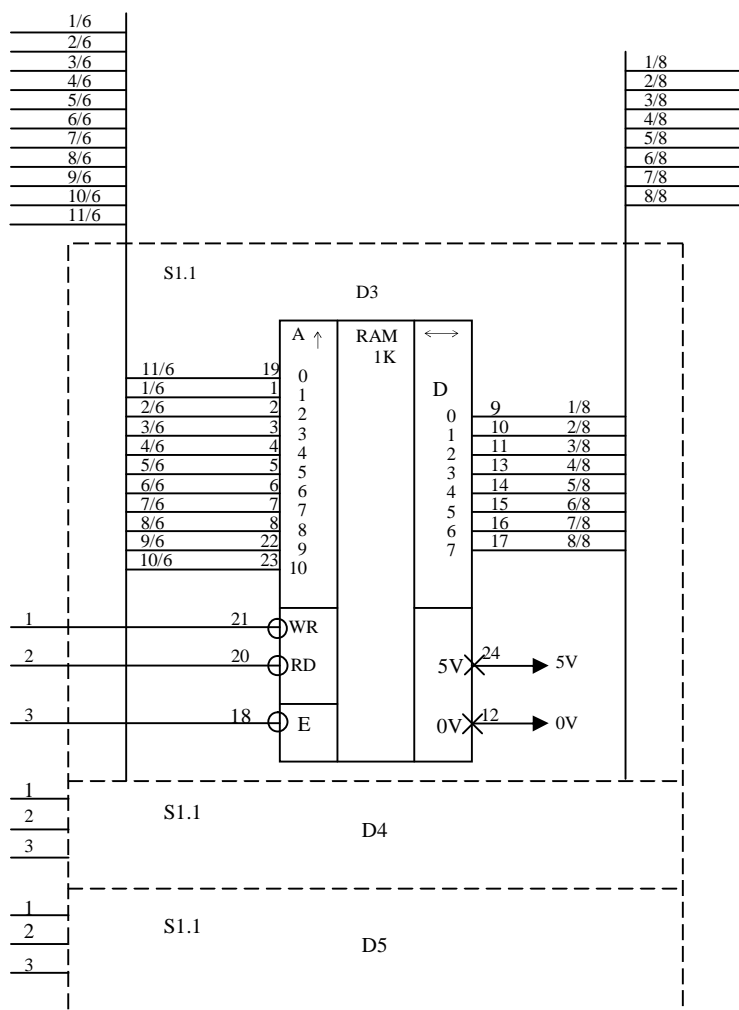


Рисунок. 2.5-Використання скороченого зображення та групових зв'язків

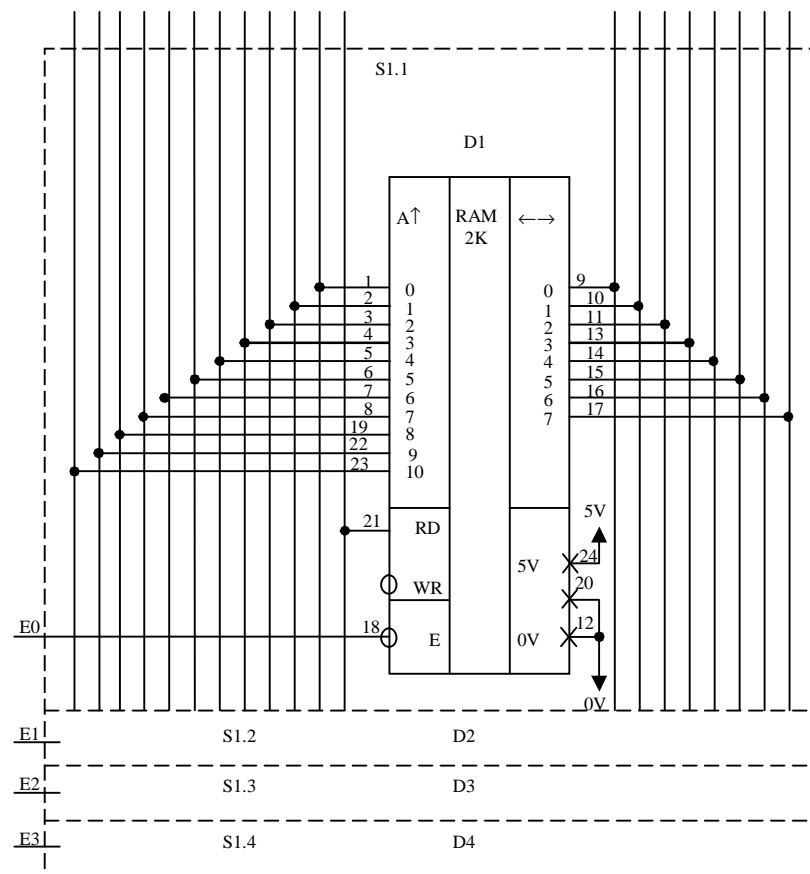


Рисунок 2.6-Приклади скорочених зображень

Підключення виводів живлення елементів (мікросхем, модулів і ін..) може бути позначене двома способами. Виводи для підключення живлення можуть бути вказані, якщо це можливо, безпосередньо на УГП кожної мікросхеми, або перелічені у додатку на вільному полі креслення. Наприклад: "Виводи 14 мікросхем D2, D4, D5, D8, D10 й виводи 12 мікросхем D1, D3, D6, D9 підключити до шини 5V...".

На кресленні варто розміщувати текстові надписи, які уточнюють, доповнюють й пояснюють зображену на кресленні схему. Наприклад, свідомості о сигналах і їх параметрах, об особливостях

підключення блокувальних конденсаторів, свідомості о радіаторах тощо.

На першому листі схеми у переліку елементів (ПЕЗ) розміщують свідомості о типономіналах ІС, резисторів, конденсаторів й інших виробів, а також свідомості о документах, на основі яких вони використовуються. У ескізному проекті не допустимо розміщати цю інформацію на полі схеми. Оформлення переліку елементів повинно відповідати до ГОСТ 2.701-84 й ГОСТ 2.702-75. Дозволяється оформлення переліку у вигляді самостійного текстового документу на листах формату А4, який треба підшити до пояснювального запису після додатків. Основний надпис на текстових документах повинен відповідати до ГОСТ 2.104-68.

Заповнення переліку виконується в кожній стрічці. У ПЕЗ необхідно вказувати позиційні позначення елементу, найменування елементу, типономінал, ТУ або стандарт, кількість й примітка. Елементи можуть використовуватися на основі наступних нормативно-технічних документів (НТД): стандарт (державний, галузевий або підприємства), технічні умови. В графу "Примітка" заносяться особливості використання елементів обидва спеціальні позначення. Дозволяється зонування креслень задля полегшення пошуку у тексті ПЗ фрагментів, що згадуються.

2.2 Адресний простір процесора

Призначення адреси елементам мікропроцесорної схеми.

Одним з початкових етапів синтезу принципової схеми є призначення адреси елементам системи, які приймають участь в операціях обміну інформацією з процесором. Адреса може поступати до елементів або у бінарному коді безпосередньо з шини адреси (В.А), або у позиційному коді після перетворення за допомогою дешифратора. Вихідні сигнали дешифратора поступають до входів дозволу обміну по шині (Е.Д) відповідних елементів. Адреси приладів представлені в командах процесора шістнадцятиричними числами, які у тексті програми можуть бути представлені у вигляді символічних імен (див. розділ 3). Ці адреси привласнюються одному приладу або групі елементів. Для того щоб вказати мінімальний інформаційний елемент у системі (слова) використовується бінарна комбінація на шині адреси, яку називають фізичною адресою. У залежності від типу

процесора такий елемент може складатися з різноманітної кількості біт, які передаються по шині даних (В.Д) у паралельному коді.

Архітектура мікропроцесорного комплексу може передбачати обмін інформації у різноманітних форматах, у залежності від розрядності шини даних. Наприклад, для процесора КР1830ВЕ51 інформаційною одиницею є байт, й обмін інформацією відбувається по 8 розрядній шині даних- побайтно. Для процесора КР1810ВМ86 можливі два типу обміну: одно - байтний й двох –байтний (по 16 розрядній шині даних). Внутрішнє представлення даних у регістрах процесора може істотно відрізнятись від зовнішнього.

Фізична адреса у системі характеризується розрядністю шини В.А, яка визначає кількість зовнішніх адрес (об'єм адресного простору процесора). З числових значень фізичних адрес приладів й елементів системи (ОЗП, ПЗП, контролери, регістри, інтерфейси і ін.) складаються таблиці розподілу адрес. Адресизначаються з таким розрахунком, щоб забезпечити найбільш легкий спосіб підключення відповідних пристроїв. Для вирішення цієї задачі використовуються відомі методи мінімізації. Приклад, розподілу адрес приведений у табл. 2.1.

Таблиця 2.1- Розподіл адреси

Найменування	Початкова і кінцева адреса	Сигнали керування
ПЗП 16К x 8	0000h – 3FFFh	RD.M = "0" E.D = "0"
ОЗП 32К x 8	4000h – BFFFh	RD.M = "0" WR.M = "0" E.D = "0"
Контролер клавіатури со. SW	00h – 04h	RD.IO = "0" E.D = "0"
Контролер індикації со. Н	08h – 0Bh	WR.IO = "0" E.D = "0"
ПЗП еталоних значень 32К x 8	C000h – C3FFh	RD.M = "0" E.D = "0"
Зовнішній передавач	C0h – C1h	WR.IO = "0" E.D = "0"

Мікропроцесорна система МПС може мати декілька незалежних областей адресації, відповідних до типу виконуваних команд. Типовими є наступні області:

- а) область пам'яті програм (M.INS), яка має у собі програму в об'єктному коді;
- б) область оперативної пам'яті (M.D) для зберігання - проміжних даних, які змінюються у ході виконання програми;
- в) область стекової пам'яті (STM), яка потрібна для розміщення даних з послідовних доступом;
- г) область вводу-виводу (IO), яка доповнює останні області при виконання спеціалізованих команд вводу-виводу по типу (IN й OUT);
- д) область переривання (INR), яка забезпечує процесор інформацією у режимі переривання програми.

За мірою необхідності можна виділити додаткові області адресації.

Звернення до всіх перелічених областей можна провести через адресну шину В.А, але з різноманітними сигналами керування. Сигнали керування потрібні для пересилки інформації у необхідному інтервалі часу для достовірного виконання операцій. В залежності від призначення й складності системи можуть використовуватися різноманітні набори керуючих сигналів. Як правило, сигнали керування об'єднуються до шини керування (В.СО).

Основні сигнали керування передачею й прийомом інформації виробляє процесор. Додаткові сигнали управління, у випадку необхідності, формуються з інформації слова стану процесора (SA). Слово стану передається процесором підчас першого такту кожного циклу, тому додатковий виробник сигналу може виробляти необхідний сигнал до моменту приведення операції обміну по шині даних. Процесор КР1810ВМ86А виробляє три основних керуючих сигнали: TF.SA, RC.D, TF.D. На основі SA можуть бути вироблені додаткові сигнали керування: RD.M, WR.M, RD.10, WR.10, RD.INR.

Процесор КР1810ВМ86 забезпечує формування усіх необхідних сигналів у компактній схемі (мінімальний режим), котра може бути розширена використання сигналів стану SA. В розгорнутій системі (максимальний режим) керуюча інформація передається у вигляді коду стану керування SA.CO, з котрого може бути сформована розширена шина керування (наприклад, за допомогою ІС КР1810ВГ88). Необхідно брати до уваги, що різноманітні процесори

мають особливості підключення зовнішніх елементів відповідно до індивідуальних принципів будовання системи (мультиплексована шина, мультипроцесорні комунікації, багато-шинні системи тощо). Процесор ВМ86 у режимі компактної системи формує наступні сигнали керування: E.D, TF.D/RC.D, M/IO, TF.A, RD.INR, WR, RD. У розгорнутій системі на основі інформації слова стану у ІС КР1810ВГ88 формується розширений набір сигналів: WR.M, WR.M.DL, RD.M, WR.IO, WR.IO, WR.IO, WR.IO.DL, RD.IO, ED.M, RD.INR, ED.IO, TF.A, TF.D/RC.D.

Таким чином у кожному конкретному випадку інформаційний обмін виконується у відповідності до послідовності надходження інформації по шинам адреси, даних й керування. Ця послідовність має із себе набір тактів що циклічно повторюються, які визначають взаємну синхронізацію з довжиною інформаційних й керуючих сигналів.

2.3 Синхронізація сигналів МП системи. Цикли процесора. Швидкість виконання операцій

Виконання процесором команд по тактам забезпечує розділення операцій за часом, практично незалежно від тимчасових параметрів процесора й елементів, що до нього підключаються (час затримки, час переключення, час звертання тощо), й дозволяє уникнути переключування інформації перехідними процесами в лініях зв'язку. Вплив негативних факторів збільшується коли збільшується тактова частота процесора й використання ІС збільшеної швидкодії.

Сполучення зовнішніх елементів з шинами процесора проводиться згідно з тимчасовими характеристиками елементної бази й типу МПК, що використовується.

Кожен цикл процесора ВМ86 має у собі чотири такти .

Перший такт Т1 потрібен для передачі адреси А19 - А0 й сигналів стану керування SA.CO. Цей такт супроводжується сигналом передачі адреси TF.A.

Другий такт Т2 використовується для формування фронтів керуючих імпульсів й переключення інформаційних сигналів на шині даних В.D, тобто Т2 утворює тимчасовий інтервал для затухання перехідних процесів, що утворилися у моменти переключення, й усунення впливання тимчасових затримок.

Третій такт T3 - інтервал запису-зчитування (позитивна фаза T3). У цьому такті кількість перемикачів у системі повинно бути мінімальним, а к моменту початку позитивної фази T3 повинні знизитися до допустимого рівня коливання й перехідні процеси, тобто максимальна затримка розповсюдження сигналів, якщо взяти до уваги тривалість перехідного процесу, не повинна перевищувати інтервал між фронтами негативної фази T2 й позитивної фази T3.

У четвертому такті T4 послідовно відключаються керуючі й інформаційні сигнали, тобто цей факт являє собою інтервал підготовки магістралі до наступного циклу.

У МП системі адресна інформація проходить, як правило, найбільш довгий. Нехай: дешифратор (можливі декілька ступенів), вузлом синхронізації з керуючими сигналами, мультиплексори тощо. Тому для перетворення адреси приділяється найбільший часовий інтервал у циклі (для VM86 - від початку T1 до середини T3). Необхідно брати до уваги, що адресні сигнали безпосередньо не повинні визивати витік інформації з адресованого приладу на шину B.D у такті T1, оскільки це може призвести до конфлікту з виведеною процесором адресної інформації. Крім того, в процесі формування адреси можуть з'явитися хибні нестійкі комбінації, а також можлива дія на інші адресні області. Тому початок формування інформації повинно визначатися кон'юнктивними обставинами вирішення адресації (див. табл. 2.1) від дешифратора адреси й сигналів керування (WR, RD) [7].

Причиною порушення синхронізації обміну інформацією може бути використання елементів з низькою швидкістю, налагоджувані операції, очікування доступу до ресурсів системи тощо. Основний принцип забезпечення синхронізації інформаційного обміну складається у правильному виборі мікропроцесора й оптимальної тактової частоти. Додаткові можливості згідності високої швидкодії МП системи з повільною реакцією зовнішніх приладів складаються з використання режиму затримки процесора (DL). У цьому режимі формуються додаткові такти "DL", які розширюють інтервал часу прийому або передачі інформації процесором. Сигнал керування режимом "DL" формується при звертанні до приладів з низькою швидкістю, тобто беручи до уваги значення фізичної адреси й керуючих сигналів RI, WR, а також синхронізується у ВІС ГФ24 (ГФ84) й у процесорі VM80A (VM86). Не менш важливим аспектом

узгодження МП системи за часовим параметрам є набір запам'ятовуючих й приладів інтерфейсу по оптимальній швидкодії й найбільш раціональному способу передачі інформації.

2.4 Центральний процесорний блок

ВІС мікропроцесора виконує усі основні функції керування системою. Але, з іншого боку, мікропроцесор лише виконує програму, яка передбачає якусь послідовність інформаційних й керуючих сигналів у трьох основних магістралях: B.D, B.A, B.CO. Виконання програми - основний режим роботи процесора. Але у системі з'являється багато ситуацій, які не піддаються лише програмній обробці у таких випадках використовуються додаткові режими процесора й схеми керування.

Наряду з описаним режимом "DL" широко використовується режим блокування процесора (DE). Керування цим режимом виконується сигналом DE, який синхронізується у мікропроцесорі. У режимі "DE" зупиняється виконання програми й усі вихідні шини переводяться у стан "Z". Таким чином, у час додаткових тактів "DE" магістралі МП системи звільнюються для використання іншими приладами, які виконують додаткові функції або спеціалізовані операції.

Наприклад, для переміщення даних з однієї адресної області до іншої (з області вводу-виводу до області пам'яті наприклад) процесор VM86 повинен виконати наступні дії:

```
;Програма переміщення ІО байтів даних з
;приладу вводу SOURCE до області пам'яті
;починати з адреси 1B00h
mov DX,SOURCE          ;Вказати адресу приладу вводу.
mov CX,10              ;Встановити лічильних байтів.
mov BX,0               ;Початкове значення бази у блоці
                        ;пам'яті з адреси 1B00h
M1:IN AL,DX            ;Цикл прийому інформації з
mov [1B00h+BX],AL     ;ПІВВ SOURCE й розміщення її
INC BX                 ;послідовно з адреси 1B00h
LOOP M1                ;у ОЗП.
```

Для виконання переміщення одного байту потрібно більш ніж 32 такти, тобто при частоті 5,144 МГц, це буде дорівнювати 6,2 мкс / байт. На весь блок з 10 байт буде затрачено більш ніж 62 мкс. При використанні режиму блокування можна забезпечити прямий зв'язок між пам'яттю й приладом вводу (канал прямого доступу до пам'яті - ПДП) за допомогою спеціального контролера. Процес переміщення 10 байт на цей раз буде виконано за 8 мкс. У цьому випадку контролер підключається до звільнених шин системи й робить час виконання даної операції швидше майже у 8 разів. У випадку високої насиченості системи операціями такого роду використання ПДП істотно підвищує її працездатність.

Режим блокування використовується у мультипроцесорних системах, де доступ до одних й тих самих елементів (розділені ресурси) з боку різних процесорів може виконуватися тільки почергово згідно з пріоритетом кожного з процесорів. При цьому процесори можуть підтримувати обмін і з своїми елементами (резидентними ресурсами), що є недоступними іншим процесорам. При цьому обміні даними з резидентними ресурсами процесор працює у режимі виконання резидентної програми. Доступ процесорів до розподілених ресурсів може супроводжуватися переходом у режим "DL" до моменту звільнення цих ресурсів.

У кожній МП системі використання режимів "DL" й "DE" може бути обумовлене й іншими функціями. У розробці можуть бути використані які завгодно функції елементної бази для вирішення задачі яка була поставлена, якщо вони є ефективними по технічним, економічним й користувальним критеріям.

Режим переривання виконаної процесором програми (1NP) розширює функціональні можливості МП системи. Він полягає в тому, що виконання однієї позапрограмної команди по зовнішньому запиту переривання (RQ.INR). У процесорі ВМ86 передбачена позапрограмна команда векторного переходу до виконання, частіше за все, якоїсь підпрограми. У процесор ВМ80А позапрограмна команда повинна подаватися зовнішнім приладом з безадресної області переривань. Контролер ВК28 (ВК38) може формувати для режиму "INR" команду векторного стекового переходу RST7. Запит RQ.INR виконується при умові передчасної установки програмно тригера, що керує дозволом переривань T.INR.

Необхідність у режимі переривань виникає тоді, коли у алгоритмі роботи системи нереально заздалегідь передбачити виникнення зовнішніх подій. Програмне забезпечення такої системи повинно містити у собі спеціальні засоби обробки переривань (розд. 3). Наприклад, завдяки перериванням можливо забезпечити обслуговування зовнішніх дій оператора на органи управління, операції вводу-виводу с зовнішніми приладами, обробку аварійних й некоректних ситуацій, налагоджувальних операцій тощо. Режим переривань кращий у системах з великою кількістю джерел й приймачів зовнішньої інформації і є найбільш ефективним у випадкових асинхронних впливів на систему.

Для забезпечення режими переривань можуть утворюватись спеціальні програмні засоби (див. розділ 3), а також підсистеми переривань, які мають у собі засоби формування й обслуговування пріоритетних запитів. Різноманітні запити повинні визивати відповідні дії процесора, як правило, методом векторних або прямих стекових переходів до виконання заздалегідь написаних підпрограм. Для забезпечення можливості повернення із підпрограми к продовженню виконання основної програми, у стековій області пам'яті (STM) зберігається адреса повернення.

Використання режиму "INR" утворює специфічні вимоги до організації ПЗП й ОЗП, до будування програмного забезпечення (таблиця розподілу переривань, див розділ 3). Необхідно брати до уваги можливість виникнення переривань у всіх фрагментах й частках програми й при необхідності їх блокування.

Для обробки зовнішніх позапрограмнох дій можна використовувати режим "INR" або метод полінга. Цей метод полягає у періодичному програмному опиті стану елементів схеми, які знаходяться під впливом зовнішніх взаємодій або змінюють свої параметри у часі. Цей метод є ефективним для короткочасного контролю зовнішньої ситуації, яка змінюється із достатньо великою швидкістю, приблизно (0,1-0,01) фс, а фс - тактова частота процесора. Наприклад, при швидкісному прийомі зовнішньої інформації з одночасною обробкою надісланих значень (сортування, фільтрація, додавання тощо). Використання полінга частіше за все вимагає належності у елементах, що опитуються, спеціальних тригерів стану (або характерних маркерних комбінацій інформаційного коду - NULL - комбінація в коді ASCII). Запитуючі ці розряди, процесор отримує

оперативну інформацію про зміни у сані зовнішніх елементів. Полінг добрий високою оперативністю обробки інформації й реалізації функцій системи без додаткових витрат на вдосконалення приладу. До негативних факторів полінга можливо віднести збільшення завантаження процесору, кінцева кількість обслуговуваних пристроїв, складності при узгодженні виконання програми з реальними часовими характеристиками елементів. При розробці МП системи треба аналізувати можливість використання поллінгу, переривань або поєднати обидва методи.

Наведена характеристика режимів роботи центрального процесорного блоку не вичерпує усіх функціональних можливостей МП системи й не є заміною технічного опису мікропроцесорних комплектів. Розробка МП системи передбачає аналіз її функцій, уточнення усіх режимів й методів обробки інформації, формування структури, параметрів й характеристик магістралей адреси, даних й керування (B.A, B.D, B.CO).

Більшість цифрових елементів системи орієнтовано на обслуговування роздільними шинами адреси, даних й керування. Для процесора з двох-шиною архітектурою частіше за все потрібно демультимплексування селекторної магістралі й фіксація у спеціальному регістрі виникаючої на початку кожного циклу адресної інформації. У процесорі передбачений сигнал TF.A (передача адреси), який вказує на момент надходження на шину значення адреси. Цей сигнал використовується для запису адреси у буферний регістр, так як фронт синхросигналу випереджає з'явлення інформації на вході буферного регістру (див. рис. 2.7 й 2.8).

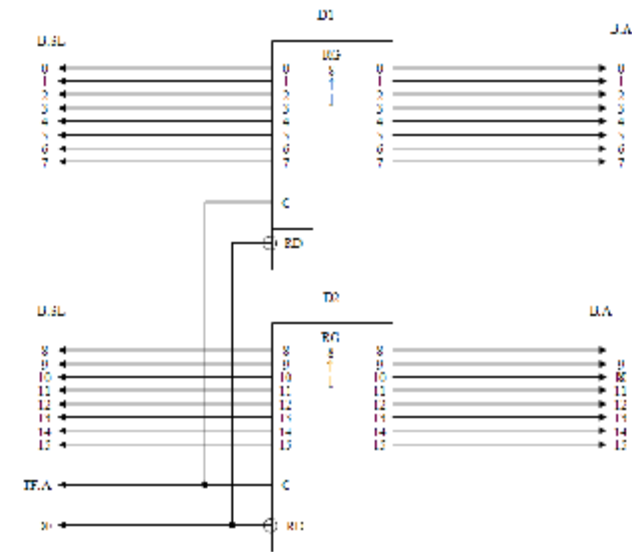
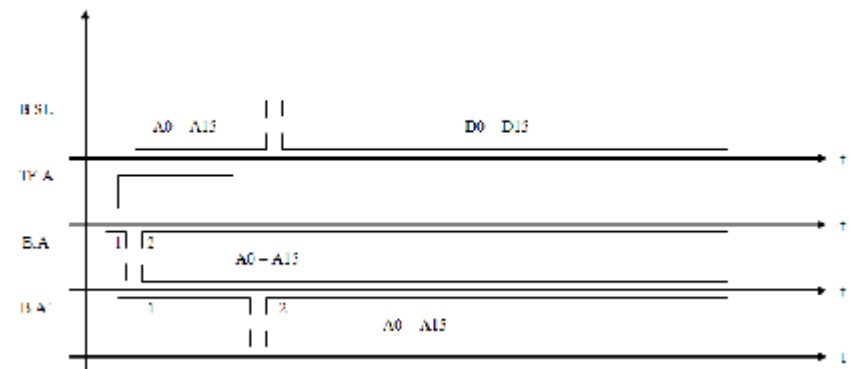


Рисунок 2.7–Схема формувача адреси



1 – значення адреса попереднього циклу;

2 – адреса поточного циклу.

Рисунок 2.8-Часові діаграми роботи формувача

На рис. 2.7 наведена схема формувача шини В.А з використанням статичних регістрів типу КР1533ИР22. Вхід зчитування RD може бути використаний для режиму блокування шини В.А. На рис. 2.8 вказана діаграма роботи формувача для циклу процесору ВМ86 за часом. Інформаційні входи регістру підключені до селекторної шини (локальної шини) процесору, а виходи формують системну шину В.А. Діаграма В.А. відповідає схемі на рис. 2.7, а на В.А можна побачити затримку адреси А0 - А19 у випадку використання регістру з інверсним динамічним тактируванням.

Магістралі процесорного блоку підключаються до декількох вузлів системи та повинні володіти достатньою здатністю навантаження для забезпечення логічних рівнів на входах цифрових елементів. Процесорний блок завжди забезпечує зв'язок між процесором і адресованих у даний момент пристроєм. Магістральні виводи елементів, що лишилися, адреса яких не відповідає до істотної, повинні знаходитись у стані "Z". Елементи, які використовуються тільки для прийому інформації від процесору (їх магістральні виводи є тільки вхідними), є постійним навантаженням шини. Таким чином, навантаження шини за струмом визначається адресованим пристроєм і усіма підключеними до магістралі входами.

При відсутності безумовного резерву здібності навантаження формування шини В.Д необхідно брати до уваги також струм витікання виводів у стані "Z".

У динамічному режимі при високій тактовій частоті істотне навантаження роблять вхідні ємності підключених виводів, які ми приймаємо до уваги у складі еквівалентної ємності магістралі.

Магістралі які знаходяться у середині плати та особливо між платами і між блоками, характеризуються параметрами довгих ліній: погонна ємність, погонна індуктивність, хвильовий опір. Ці параметри визивають перехідні процеси, затримки та відбиття сигналів, а також є причиною взаємних (перехресних) перешкод. такі явища можуть привести до з'явлення короточасних провалів напруги "1" або сплесків напруги "0", що досягають порогу рівня. Прийоми збільшення перешкодозахищеності (узгоджуючи подільники навантаження, спеціалізовані буферні ІС та інші) вимагають додаткового збільшення навантаженої здатності шини.

Навантажена здатність виходів мікропроцесора, що виконаний за МОП технологіями, велика (1вих0. <1,5 - 2,0 мА, 1вих.1 < 200-600мкА). Після визначення сумарного навантаження магістралі і її порівняння з навантаженою здатністю МП говорить о необхідності буферних елементів. Наприклад, для схеми на рис. 2.8 достатньо використати регістри зі збільшеною навантаженою здатністю замість вказаних. Для процесорів з окремою шиною адреси використовують буферні елементи, що є посеред ІС малих ступенів інтеграції (повторювачі, інвертори, спеціалізовані магістральні елементи): ЛН1, ЛН2, ЛН6, ЛП10, ЛП11, АП1-АП6 тощо.

Формування системної шини даних пов'язане з використанням двох-направлених селекторів, наприклад КР1533АП6. Двох-направлений селектор (див. рис. 2.10) повинен змінювати напрям передачі у магістралі з відповідністю з діями процесору. На рис. 2.9 зображені діаграми інформаційних й керуючих сигналів за часом. Зміна напрямку передачі за сигналом МО треба виконувати при встановлених у стан "Z" інформаційних виводах (тобто E=1), що дозволяє запобігти струмів при комутації селектору і пов'язаних з ними перешкод.

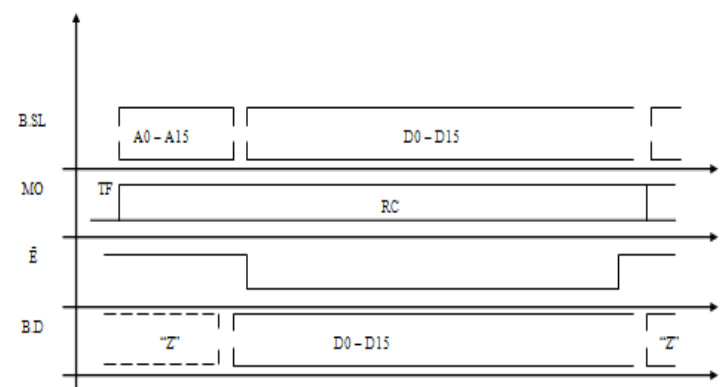


Рисунок 2.9-Часові діаграми формувача шини В.Д для процесора ВМ86

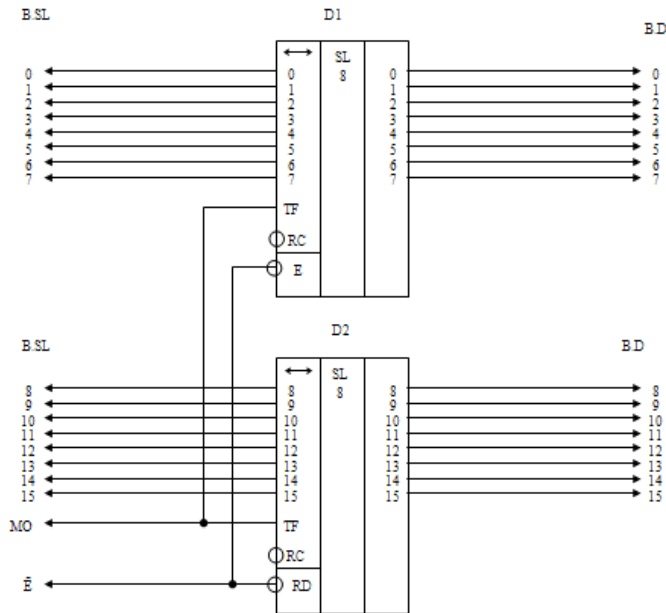


Рисунок 2.10- Формувач системної шини

Шина керування D.CO формується у залежності від потрібних функцій системи та виділених областей адресації. Для виконання звичайних функцій магистралі D.CO використовується спеціалізовані ВІС й СІС: КР580ВК28 (і8228), КР580ВК38 (і8238) та інші. Використання цих ІС виправдане навіть при деякої збільшеності їхніх функцій - ці мікросхеми коштують достатньо мало. Сучасна технологія дозволяє формувати шину керування у середині ВІС процесора. Це характерно для процесорів КР1821ВМ85 (і8085), одно-кристальних контролерів КР1816ВЕ48 (і8084), КР1830ВЕ751 (і8751), процесора КР1810ВМ86 (і8086) та інші.

У мультипроцесорних багато-шинних системах для керування кожної шини В.СО потрібен свій формувач, наприклад, для резидентної шини і системної магистралі, так як обробка інформації на цих шинах робиться роздільними процесорами паралельно. Центральний процесор об'єднує усі інформаційні потоки у системі і визначає послідовність функціонування керованих їм пристроїв у системі.

Деякі вузли процесорного блоку можуть бути використані не за основним призначенням. Наприклад, тригер переривань N.INR процесору ВМ86, якщо не використовується режим переривань (RQ.INR = 0), може бути використаний як інтерфейсний елемент з програмним керуванням команди "E1", "D1". Оригінальні рішення дозволяють істотно збільшити ефективність схеми.

2.5 Тактова частота. Генератори тактових частот

Циклічна робота центрального процесорного блоку синхронізується зовнішньою або внутрішньою тактовою частотою мікропроцесору F_c . У технічних характеристиках приводяться мінімальне й максимальне значення періоду цієї частоти, а також вимоги до тривалості фази яка більше або менше нуля.

Розробка тактового генератора є достатньо трудомісткою задачею. На рис. 2.11 наведена діаграма синхросигналу для процесора ВМ86 за часом.

Дозволений діапазон тактової частоти 2-5МГц при відносній похибці скважності від 4,5 % до 10,0 %. Синхронізація процесора ВМ85А проводиться двома сигналами С1 й С2 з частотою 0,5-3МГц і допустимою похибкою скважності 15-18 %.

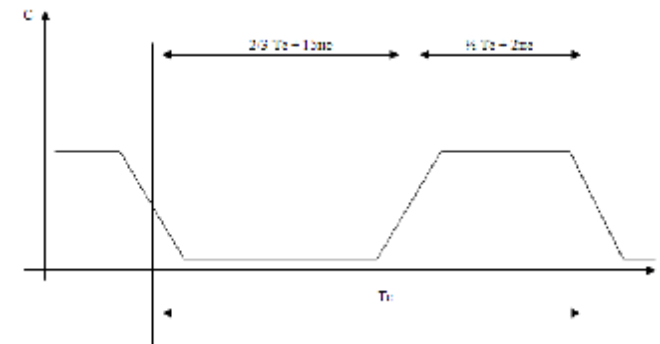


Рисунок 2.11-Часові діаграми синхронізації ВМ86

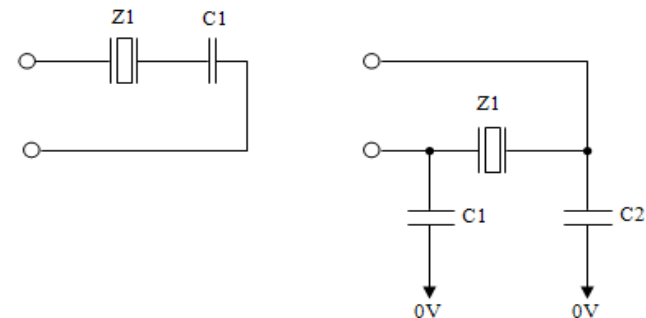
Виготовлені комплекти мікропроцесорних ІС частіше за все містять спеціалізовані мікросхеми формувачів, які виробляють необхідні тактові послідовності імпульсів. Частота інтегрованого у формувач задаючого генератору у декілька разів перевищує частоту

тактируючого сигналу. Наприклад, F_c для процесора VM86 - у 3 рази. Важливішим параметром задаючого генератора є стабільність і технологічний розкид частоти імпульсів. Багато сучасних мікропроцесорів та одно-кристальних контролерів містять інтегровані генератори-формувачі (наприклад, KP1821VM85).

Вибір тактової частоти мікропроцесору визначається не тільки швидкістю обробки інформації, але і характеристиками інтерфейсних елементів. Якщо функціонування елементів системи пов'язане з параметрами реального часу, то частота повинна бути зручною для формування імпульсів, період яких є кратним 1 с. Послідовний інтерфейс, як правило, робить передачу інформації з стабільною стандартною швидкістю. У цьому випадку вибір тактової частоти яка є кратна заданому ряду швидкостей, спрощує побудову проміжного дільника.

Частота генератору у більшості випадків визначається параметрами зовнішніх частотно-задаючих елементів, їх розкидом і стабільністю. RC-ланцюги використовуються, як частотно-задаючі елементи, дуже рідко, тому що у них потрібно використовувати конденсатори, ємність яких можна порівняти з паразитною. Довготривала і температурна стабільність таких ланцюгів для більшості використань незадовільна.

Типовим елементом частото-задаючих ланцюгів є кварцовий резонатор. Його характерні плюси: стабільність частоти, вузька частотна характеристика, відсутність складних регулювань - збільшує технологічність пристрою. Кварцовий резонатор підключається до вводів TTLШ IC ГФ84 безпосередньо або через послідовно включений конденсатор ємністю 10-20 пФ при частоті вище за 10 МГц, МОП і КМОП генератори у IC KP1830BE751, KP1821VM85 і інші вимагають додаткових конденсаторів (рис. 2.12) [7,8]. У деяких випадках можливе формування опорної частоти з гармонік кварцового резонатору, але такий засіб може бути виправданий тільки відсутністю необхідного резонатору. У генераторах необхідно використовувати третю гармоніку кварцового резонатору, на яку налагоджується додатковий паралельний LC-контур.



a/ для TTLШ генераторів

b/ для КМОП й МОП генераторів

Рисунок 2.12-Підключення кварцових резонаторів

Під час вибору типу кварцового резонатору треба приділити увагу до його внутрішнього опору і допустимій потужності. Ці параметри можуть подіяти на характеристики генератора.

2.4 Пристрої пам'яті, ПЗП і ОЗП

Програмне керування мікропроцесорною системою зводиться до виконання послідовності команд. Програму у вигляді бінарних кодів операцій і констант розміщують з початкової адреси. У процесорі початкова адреса повинна бути розміщена у спеціальний регістр - програмний лічильник ('IP' - для VM86 й т.д.), що робить формування адреси елементів програми на шині В.А. У циклі зчитування команди процесор отримує код операції INS з пам'яті і настраює свої внутрішні вузли на виконання отриманої команди, а програмний лічильник переключається на адресу наступного елементу програми.

Тобто, програма повинна бути спочатку записана у пам'ять повністю разом з початковими значеннями змінних величин, якщо це необхідно.

Змінні величини заносяться в область (сегмент) даних, у якій повинні бути зарезервовані частки для простих змінних (з їхньою розрядністю), індексних змінних (масивів), табличних даних та ін.

Для стекової пам'яті STM (стековий сегмент) також необхідно зарезервувати адресний простір процесора.

Розробка блоків пам'яті і їх зв'язки з адресною шиною В.А виконується з увагою особливостей системи і програмних засобів. Для керуючих схем, коли програма обслуговує постійний набір зовнішніх пристроїв і виконуючих елементів, а також де включення напруги повинно визвати додаток до програми, програму розміщують у постійному запам'ятовуючому пристрої (ROM).

ПЗП до цього програмують на спеціальному приладі або безпосередньо при виробництві ІС. Для комп'ютерних систем характерна постійна зміна програм користувача і можливість підключення різноманітних зовнішніх пристроїв та блоків. ПЗП у комп'ютерах використовують тільки для зберігання мінімуму програм підтримки системних елементів, які забезпечують ввід зовнішніх програм користувача у оперативний запам'ятовуючий пристрій (RAM) у вигляді файлів, які включають і область даних. Комп'ютер має операційну систему, яка має з себе набір програм, які пов'язані між собою і які керують його функціями, порядком виконання програм користувача і забезпечують зв'язок з оператором. Розвинене програмне забезпечення вимагає помітних витрат оперативної пам'яті.

Мікропроцесорна система починає свою роботу зі стартової адреси, яка формується процесором після підключення живлення і подачі імпульсу початкової установки SR (RES). Процесор VM86 має стартову фізичну адресу FFFF0h (16*(CS)+(IP)); процесор VM85A - 0000h (стан PC). Стартова адреса присвоюється першій команді програми. Остання частина розміщується у відповідності до особливостей організації програмного забезпечення.

Мікросхеми ПЗП й ОЗП відрізняються не тільки об'ємом, але і форматом.

Формат характеризується шириною (кількістю розрядів слова даних) і глибиною (кількість слів або адресних комбінацій). У табл. 2.2. наведені основні різновиди форматів ІС ЗП різноманітних технологій, які використовуються при будівництві блоків пам'яті. У організації блоків ЗП використовуються прийоми розвитку формату: розширення та поглиблення (з адресним дешифратором). Треба взяти до уваги можливість використання ІС з неповним об'ємом, в яких виключені дефектні області.

Виключення дефектного об'єму робиться за допомогою подачі логічних констант на визначені в ТУ виводи даних. Решта параметрів відповідають характеристикам ІС з повним об'ємом.

Варіанти неповного об'єму маркуються додатковими літерними або цифровими символами у назві мікросхеми. Наприклад, ІС КР537РФ2 має об'єм 2Кx8 (16Кбіт), а її різновиди РК573РФ21, КР573РФ22 й інші мають неповний об'єм [14].

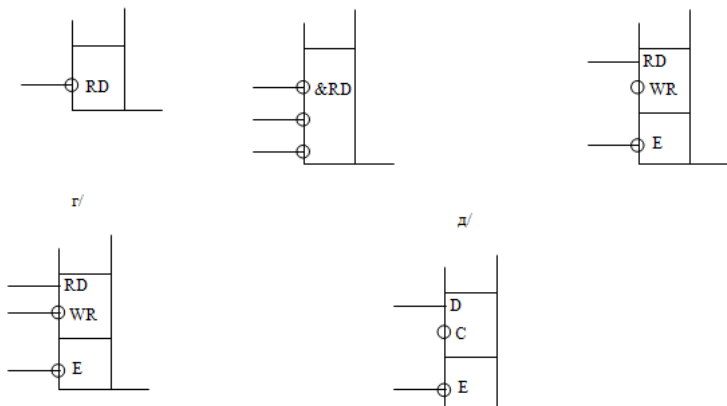
Таблиця 2.2-Основні формати ІС ЗП

Біт	позначка	полубайт	байт
16		-	-
64		16	-
256		-	32
1024	(1К)	256	-
4096	(4К)	1024 (1К x 4)	512
16384	(16К)	4096 (4К x 4)	2048 (2К x 8)
65536	(64К)	-	8192 (8К x 8)
262144	(256К)	-	32768 (32К x 8)
1048576	(1М)	-	131072 (128К x 8)
4194304	(4М)	-	512288 (512К x 8)

Інтегральні схеми пам'яті мають входи керування для формування наступних режимів роботи: збереження, запис (WR), зчитування (RD). У режимі збереження інформаційні виходи ІС знаходяться у стані "Z" незалежно від сигналу запису та адресної комбінації. Деякі варіанти керуючих сигналів для ІС пам'яті наведені на рис. 2.13. Характеристики режимів роботи ІС пам'яті, можливі

комбінації керуючих сигналів і відносини тимчасових параметрів наведені у техумовах, галузевих стандартах до використання ІС серій: КР556, КР537, КР573, КР541, КР132, КР188, К1609 і інш.

Зв'язок елементів пам'яті з процесором регламентується структурою циклу МП по інтервалах формування режимів запису і зчитування. У інтервалах що залишилися ІС повинні, як правило, знаходитися у режимі збереження, для того щоб не визвати конфліктних ситуацій на шині даних В.Д. Крім того, КМОП ІС у даному режимі використовує меншу потужність.



- вхід зчитування ПЗП;
- кон'юнктивно розширений вхід зчитування ПЗП;
- сполучений вхід керування записом й зчитуванням ОЗП з окремим входом вирішення;
- окремі входи запису, зчитування й вирішення ОЗП;
- вхід тактирування запису даних С для ІС ОЗП ранніх випусків з відкритим виведенням генератора «0»: С = 1 – зчитування, С = 0 – запис з перемиканням виведення у стан “ Z “ ; режим зберігання сполучений з режимом зчитування.

Рисунок 2.13-Приклади позначення входів керування ІС ЗП

3 РОЗРОБКА ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ

Програма, яка забезпечує роботу МП системи, розробляється на мові асемблера процесора, який ми використовуємо. У комп'ютерній системі з початкового тексту програми транслятор формує об'єктний модуль. Один чи декілька об'єктних модулів об'єднуються редактором зв'язків (LINK) у виконуваний модуль, який має у собі коди програми. При розробці МП систем, які працюють у автономному режимі, програма пишеться на мові асемблера, асемблюється у коди команд і отриманий код програми пишеться у ПЗП.

Мова асемблера має у собі набір команд конкретного процесору і директиви мови. Директиви не формують команди процесора, а тільки служать для керування трансляцією, адресацією тощо. Кожна команда або директива мови асемблеру пишеться окремою стрічкою у наступному вигляді:

{позначка: } операція операнди {; коментар}, у фігурні скобки включені необов'язкові елементи.

З метою забезпечення наочності та спрощення налагодження розробленої програми, у мові асемблера дозволяється використання символічних імен для позначення адрес, змінних, констант і т. д. Після трансляції і редагування зв'язків усі символічні імена змінюються конкретними значеннями. У наведеному прикладі оформлення команди - "позначка:" являє собою символічне ім'я адреси даної команди і використовується у командах переходу до позначеного оператора.

Символічне ім'я формується з латинських літер і цифр (не більш ніж 6).

Першим символом повинна бути літера (для того щоб відрізнити від числової константи).

Цілі числові константи можна записувати у шістнадцятиричній системі обчислення з індексом h (hexadecimal), у бінарній - з індексом b (binary) або у десятиричній з індексом d (decimal). Константи без індексу будуть прийматися як десятиричні.

Приклад запису одно-байтної константи:

F4h; 11110100b; 244d; 244

Приклади запису двох-байтної константи:

15FDh; 000101011111110b; 5629d; 5629

Налагодження програми полегшується при використанні у тексті символічних імен для позначення констант. Для цього конкретному значенню за допомогою директиви

EQU надається символічне ім'я. Наприклад:

ONE EQU 01h; одинична константа

Для зв'язку даних з конкретними адресами що ми розміщуємо у пам'яті МП системи використовуються директиви мови асемблеру DB, DW, DD. При позначенні конкретних значень адрес констант, змінних, масивів, структур й таке інше необхідно використовувати таблицю розподілу адреси (див. розділ 2.2) і прийомами ефективного доступу до даних. Директиви резервують область пам'яті, починаючи з даного значення лічильника команд. DB резервує пам'ять для одно-байтних даних, DW - для двох-байтних, DD - для чотирьох-байтних. Синтаксис директив:

<ім'я:> DB <початкове значення>

<ім'я:> DB <початкове значення>

<ім'я:> DB <початкове значення>

Наприклад:

LEVEL: DB 01h,05h,12h,F4h; Константи рівнів

У тексті програми ім'я змінної, константи або масиву буде пов'язане з адресою молодшого байту. У МП системі контролерного типу початкове значення може бути присвоєно тільки даним, що розміщені у ПЗП. Значення даних, що розміщені в ОЗП визначаються у ході виконання програми та можуть бути ініціалізовані операторами переміщення даних. Замість початкових значень у даному випадку встановлюються знаки "?".

Для того щоб вказати асемблеру конкретну адресу (фізичну для ВМ85 та виконавчу для ВМ86) використовується директива ORG.

Формат директиви: {ім'я;} ORG <вираз>

Значення "вираз" присвоюється лічильнику команд, тобто команда або дані, які йдуть за ORG, розміщуються з адреси, яка визначається у "виразі". Наприклад:

LAB2: ORG 0B800h ;транслявати з адреси B800h

LXI SP,LAB2 ;початкова установка покажчика

;стека

Початковий текст програми являє собою не тільки інформацію для транслятору, але і матеріалом, який аналізується розробником у процесі налагодження і супроводжування МП системи. Тому при написанні програми треба приділяти увагу коментарям. Коментарі повинні пояснювати роботу алгоритму і функціонування всього пристрою в цілому. Коментар починається з символу ";" і може бути розміщений у кінці будь-якої команди, або займати цілу строку (у цьому випадку символ ";" повинен бути першим у стрічці). Наприклад:

;Приклад 1

;Варіант програми вводу байта за опитом готовності

RGSTAT EQU 20h ;регістр готовності приймача

RGDATA EQU 21h ;регістр даних приймача

LOOP1: IN RGSTAT ;ввід байту регістру готовності

ANI 00000100b ;виділенні біту готовності

JZ LOOP1 ;якщо не готовий - повторення вводу

IN RGDATA ;ввід байта даних

LXI H,INDATA ;завантаження адреси змінної

MOV M,A ;збереження введеного байта

INDATA: DB ? ;резервуємо пам'ять для

;змінної у області ОЗП

Алгоритм програми рекомендується будувати на основі функціональних фрагментів (обслуговування пристроїв вводу-виводу, обробка переривань, операції над даними і інш.), які оформлюються у вигляді роздільних підпрограм.

Обмін даними (значення або адреси змінних) між головною програмою і підпрограмою виконується наступними способами:

а) Невеликий об'єм даних передається через регістри процесора (див. приклад 2);

б) Дані передаються через задалегідь вибрану область пам'яті;

в) Дані передаються через стекову область пам'яті. При цьому необхідно брати до уваги, що після виконання команди виклику підпрограми (прямий стековий перехід) на вершині стека буде записана адреса повернення з підпрограми (див. приклад 3).

На початку виконання підпрограми треба зберігати у стеку те, що міститься у регістрах, які використовуються у підпрограмі, і

встановлювати стан перед виконанням команди повернення з підпрограми (зворотній стековий перехід).

; Приклад 2

;Викликана послідовність для підпрограми

;при передачі параметрів через регістри процесору

LXI H,8200h ;Перший параметр - адреса масиву даних

MVI B,15h ;Другий параметр - довжина масиву

CALL ZERO

.....

;Підпрограма поновлення масиву пам'яті

;Параметри: (HL) - адреса масиву

; (B) - довжина масиву

ZERO: PUSH PSW ;Збереження змісту регістрів

PUSH B

PUSH H

XRA A ;Обновлення акумулятору

LOOP1: MOV M,A ;Обновлення наступного елемента масиву

INX H ;Інкрементація адреси

DCR B ;Декрементація адреси

JNZ LOOP1 ;

POP H ;відновлення місткості регістрів

POP B

POP PSW

RET

; Приклад 3

;Викликана послідовність для підпрограми

;при передачі параметрів через стек

LXI H,DATA1

PUSH H ;запис у стек адреси 1-го параметру

LXI H,DATA2

PUSH H ;запис у стек 2-го параметру

LXI H,DATA3

PUSH H ;запис у стек 3-го параметру

CALL SUBR1 ;виклик підпрограми

LXI H,06d ;відновлення покажчика стека

DAD SP

PCHL

.....

;Підпрограма

SUBR1: PUSH PSW ;збереження регістрів

PUSH B

PUSH D

PUSH H

LXI H,10d ;зміщення покажчика стека на область

DAD SP ;параметрів

PCHL

.....

POP H ;вилучення адреси 3-го параметру

.....

POP H ;вилучення адреси 2-го параметру

.....

POP H ;вилучення адреси 1-го параметру

.....

LXI H,-16d ;зміщення покажчика стека на область

DAD SP ;збережених регістрів

PCHL

POP H ;відновлення регістрів

POP D

POP B

POP PSW ;на вершині стека - адреса повернення

RET ;повернення

Необхідно передбачити у ОЗП достатній об'єм стеку і записати у покажчик стека SP наступне за максимальною адресою стека значення. Необхідним є контроль за кількістю стекових операцій запису і зчитування, для того щоб не трапилось переповнення стекової області пам'яті. Кількість операцій запису до стеку повинно

відповідати кількості операцій зчитування (в іншому випадку повинна проводитися корекція покажчика стека).

При розробці підпрограми обслуговування переривань необхідно брати до уваги деякі особливості:

1/ Використання фіксованої адресації. При використанні команди RST n у процесорі VM85 перший оператор підпрограми повинний розміщуватися за адресою 8n, а при використанні команди CALL M3M2 підпрограма повинна розміщуватися за адресою M3M2. Процесор VM86, що використовує векторну систему переривань, формує на основі прийнятого вектору адреси чотирьох -байтного покажчика переривання у області пам'яті 00000h - 003FFh. Цей покажчик повинен містити у собі адресу необхідної підпрограми обслуговування;

2/ Випадковість виникнення заклику переривання. Так як заклик переривання RQ.INR може виникнути у процесі виконання будь-якого фрагменту програми, у якому дозволені переривання, то у підпрограмі обслуговування переривання необхідно зберегти і відновити те що містилося у регістрах процесора які ми використовуємо.

; Приклад 4
;Підпрограма обслуговування переривання RST7
;Вводимо байт (як у прикладі 1), але за перериванням

```
RGDATA EQU 21h ;регістр даних одержувача
ORG 0038h ;початок підпрограми за адресою 7x8
JMP SUBR7
.....
SUBR7: PUSH PSW ;збереження вмісту регістрів
PUSH H
IN RGDATA ;ввід байта даних
LXI H,INDATA;завантаження адреси змінної
MOV M,A ;збереження введеного байта
POP H ;відновлення регістрів
POP PSW
RET
INDATA: DB ? ; резервування пам'яті для змінної в області
```

ОЗП

На початку основної програми поміщають команди, виконані процесором для забезпечення ініціалізації МП системи після скиду: запис адреси стекової пам'яті до покажчика стека; переміщення слів ініціалізації у програмованому інтерфейси; завдання початкових значень змінним, які розміщені у ОЗП, й т.д.

Необхідно вилучити протидію стану елементів системи, які можуть виникати у випадку подачі напруги живлення. Наприклад, необхідно виключити режим наскрізних струмів у потужних різно-транзисторних ключах, непередбачені включення зовнішніх пристроїв, перешкоди переданої або отриманої по інтерфейсним кабелям інформації.

4 ПЕРЕЛІК ТИПОВИХ ЗАВДАНЬ

4.1 Багатоканальний вимірювальний пристрій

Прилад забезпечує вимірювання вхідної напруги $U_{вх}$ у кожному з N каналів з похибкою G_u у частотному діапазоні F . Прилад має чотири режими роботи (МО). У режимі 0 відбувається вимірювання середнього значення напруги за інтервал часу T_1 ; у режимі 1 – вимір максимального миттєвого значення; у режимі 2 – вимір різниці середніх значень у двох каналах; у режимі 3 – вимір частоти (з похибкою не більш 2%) й діючого значення синусоїдальної напруги. У кожному режимі може бути виключений вимір постійного складника напруги у каналі. Інформація відображається на десятинному сегментному індикаторі з показанням номера каналу, полярності напруги, показниками переповнення й виміру з постійним складником. Час індикації регулюється в інтервалі від 0,5 до 9 с. Вибір режиму й каналу – кнопковий. Похибка усіх часових інтервалів – не більш ніж 5 %.

Питання, що підлягають розробці.

Розробити повну структурну схему вимірювача, вибрати тип АЦП й частоту запитування каналів; розробити принципову схему, алгоритми роботи й програмного забезпечення.

В графі режими перша цифра означає вид перемикавання каналів та діапазонів:

а) - 1 – автоматичне;

б) - 2 – послідовно з кнопок;

в) - 3 – вибір з кнопок довільний;

г) - 4 – вибір з кнопок циклічний;

Друга цифра означає вигляд інформації, що відображається на цифровому індикаторі:

а) – напруга в каналі, середньо-випрямлене значення;

б) – напруга та частота сигналів в каналі, діюче значення;

в) – напруга в каналі, амплітудне значення;

г) – напруга та частота сигналів в каналі, миттєве значення.

Таблиця 4.1- Варіанти технічного завдання №1

Ва р	Uвх, В	N	G _ш	F, кГц	T1, с	МО	Режими
1	0 ...6	8	2-5%	0...0,4	0,5	0;1	1, 1
2	-2...+4 sin з пост.	4	4%	0...5	-	1;3	2, 2
3	-0,1...0,1	2	0,1%	0...10	0,25	0;1;2	3, 3
4	-5,12...5,12	4	0,5%	0...5	0,5	0;1	4, 1
5	0...10 ампл. sin	8	2,5%	0...0,4	-	1;3	1, 4
6	-20...20 -2...2	4	0,5%	0...0,1	0,5	0;1;2	3, 1
7	-10...10 -1...1	1	0,1%	0...20	-	0;1	4, 2
8	0...5	1 6	0,5%	0...0,2	0,25	0;1	2, 3
9	-0,5...0,5 ампл. sin	1	0,1%	0,2..10 00	0,5	3	3, 4
10	0...500	4	0,5%	0...1	0,5	0;2	4, 1

4.2 Спеціалізований обчислювач функцій

Процесор забезпечує обчислювання функції F (наведена таблиця). Операнди (не більш ніж чотири) надходять по паралельним асинхронним інтерфейсним каналам й від клавіатури. Клавіатура повинна забезпечувати введення цифрових значень за допомогою десяткових клавіш від “0” до “9”, десяткової крапки й знак мінус. Введення операнда з клавіатури закінчується натисканням кнопки “ввід” або клавіш виконання функцій. Значення, що вводяться з клавіатури повинні дублюватися на сегментному індикаторі відповідної розрядності. Повторне введення помилкового операнда здійснюється після натискання кнопки “Скид”. Клавіатура повинна містити необхідні кнопки керування режимами роботи обчислювача й клавішу встановлення у початковий стан.

Обчислювач має три режими роботи (МО). У режимі 0 функція обчислюється у автоматичному режимі з перериваннями за для введення інформації з клавіатури й формується масив результатів з N значень, що передаються по паралельному асинхронному інтерфейсу у приймач після завершення передачі процес обчислення відновлюється; режим 1 – однократне обчислення функції після прийому поточних операндів, результат направляється на індикатор; у режимі 2 – поопераційне обчислення функції з індикацією проміжних результатів.

Інформація відображається на десятковому сегментному індикаторі із зазначенням знака числа, десяткової крапки, порядку й прикметою переповнення й помилки, якщо треба.

Питання, що підлягають розробці

Розробити повну структурну схему обчислювача, обрати тип й розрядність індикатора, спосіб підключення клавіатури; розробити принципову схему, алгоритм роботи й програмне забезпечення.

Таблиця 4.2- Варіанти технічного завдання №2

Вар	Функція F	Операнди	Джерело операнда	Масив значень N	МО
1	A*B – C/B	A dec, 5 B int, 3 C int, 3	Клав. Інтерф. Інтерф.	32	0,2

2	$A * \exp(B)$	A dec, 5 B int, 3	Клав. Інтерф.	--	1
3	$(A-B) / (C+B)$	A dec, 5 B dec, 5 C int, 3	Клав. Клав. Інтерф.	48	0,1,2
4	$A * \sin(C)$	A dec, 5 C int, 5	Клав. Інтерф.	--	1
5	$A * B - 248 * C + D$	A int, 4 B int, 4 C int, 4 D int, 4	Інтерф. Інтерф. Інтерф. Інтерф.	20	0,2
6	$(A/B - D) * 867$	A dec, 6 B int, 4 C int, 4 D int, 4	Клав. Інтерф. Інтерф. Інтерф.	32	0,2
7	$A * \lg(1034+C)$	A dec, 5 C int, 3	Клав. Інтерф.	--	1
8	$(A+B) * (C+D)$	A dec, 5 B dec, 5 C int, 3 D int, 3	Клав. Клав. Інтерф. Інтерф.	128	0,1,2
9	$A - C - B * D$	A dec, 5 B int, 3 C int, 3 D int, 3	Клав. Інтерф. Інтерф. Інтерф.	400	0,1,2
10	$X + D - C * 2048$	A int, 3 B int, 3 C int, 3	Інтерф. Інтерф. Інтерф.	240	0,2

Примітки.

Позначення типів операндів: dec – подвійно-десятковий цілий зі знаком; int – цілий подвійний зі знаком.

4.3 Прилад обробки даних за перериванням

Прилад приймає з N джерел (ДЖР) по паралельним 8-розрядним асинхронним каналам блоки даних довжиною не більш ніж W байт за запитом переривання цих каналів з встановленим пріоритетом (PR). Блоки даних можуть бути двох типів: інформаційний (БІ) й контрольний (БК). У БІ побайтно передаються:

стартовий байт (01h), байт номера приладу призначення (11h – 14h), байт-показчик реальної кількості інформаційних байт (прямий подвійний код), послідовність інформаційних байт у коді ASCII (KOI-8) – не більш ніж (K-6), двох-байтний подвійний код контрольної суми (молодший байт – потім старший) – сума за модулем 65536 байт кількості й інформаційних байт, байт кінця передачі блоку (17h). БК: стартовий байт (01h), байт-ознака контрольного блоку (16h), еталонна послідовність (K-5) байт поміж між-байтні інтервали не менш 500 мкс з контрольною сумою й байтом кінця передачі аналогічно БІ.

Підчас прийому кожного БІ здійснюється підрахунок контрольної суми й порівняння її зі значенням що передається. Якщо немає збігу виробляється сигнал KR*RC рівня "1" для відповідного джерела протягом 500 мкс (похибка 10%), а прийнятий блок ігнорується. Підчас прийому БК від будь якого джерела всі інші переривання забороняються, обчислюється цілочисельне значення швидкості передачі (байт/с), робиться по-байтне порівняння з еталонною послідовністю, обчислення контрольної суми. Якщо є більш ніж три помилки порівняння, помилки з контрольною сумою або реєстрації швидкості більш ніж 2000 байт/с формується постійний сигнал KR*RC й зв'язок з цим джерелом блокується.

Прийняті інформаційні частини БІ формуються у пакети довжиною 8Кбайт (крім службових байт) для передачі у M приладів призначення (ПП) по паралельним асинхронним 8-розрядним каналам після формування пакету здійснюється його передача з одночасним нагромадженням наступного. У випадку формування приладом призначення сигналу ER*TF рівня "1" протягом 500 мкс (похибка 10%) передача пакету завершується й передається контрольний пакет побайтно з періодом 50мкс (похибка 10%) довжиною 64 байта з урахуванням одно-байтної контрольної суми. Передача пакетів й приймання БІ на цей час зупиняється. Якщо тривалість сигналу ER*TF більш ніж 1мс, то передача у даний прилад призначення блокується.

Питання, що підлягають розробці

Розробити повну структурну схему приладу, обрати спосіб формування запитів переривання джерел; паралельні інтерфейси джерел й приладів призначення; розробити принципову схему, алгоритм роботи й програмне забезпечення.

Таблиця 4.3- Варіанти технічного завдання №3

Вар.	N	M	W, Байт	Пріоритет	Кількість, функція, тривалість, індикація
1	5	3	512	Цикліч.	1, помилка у будь якому ІСТ, двоїчний, 2с
2	12	2	5	Фіксов.	2, блокування у ПП, двоїчний, постійно
3	15	2	128	Цикліч.	2, помилка у ПП, двоїчний, 1с
4	7	1	2048	Цикліч.	8, помилка в ІСТ й ПП, двоїчний, 1с
5	6	4	128	Фіксов.	6, блокування в ІСТ, двоїчний, постійно
6	18	2	7024	Цикліч.	2, блокування у ПП, двоїчний, постійно
7	3	4	64	Цикліч.	7, помилка в ІСТ й ПП, двоїчний, 1с
8	10	3	64	Фіксов.	1, помилка у бцдь якому ПП, двоїчний, 2с
9	19	2	64	Цикліч.	Теж саме
10	20	2	64	Фіксов.	Теж саме

4.4 Прилади налагодження

Прилад забезпечує комплексне налагодження систем, збудованих на основі мікропроцесора KP1810BM86A (модуль що тестується – ТМ). Прилад через рознімання підключається до шин даних, адреса й керування ТМ. Це рознімання містить такі сигнали керування режимами процесору: переривання (INR – “1”), блокування (DE – “0”) й очікування (DE – “0”); сигнали дозволу для ОЗП (E.RAM – “0”) й ПЗП (E.ROM – “0”); сигнал формування стану процесору C.SA – негативний імпульс й RS.INS рівнем “1” у такті T1 процесору.

Режими налагодження (МО):

0 – встановлюється у пристрої 16-річне початкове значення адреси й кількості команд для аналізу програми ТМ.

1 – поциклове виконання програми ТМ з початкової встановленої адреси у режимі очікування процесора;

2 – покомандне виконання програми ТМ з початкової встановленої адреси за сигналами RC.INS, C.SA;
 3 – встановлення адрес пунктів зупинок програми ТМ з використанням режиму переривання;
 4 – операція налагодження програми ТМ за встановленим контрольним пунктам;
 5 – тестування ОЗП ТМ об’ємом 2Кбайта методом послідовного запису й порівняння значень 55h й AAAh;
 6 – тестування ПЗП ТМ об’ємом 4Кбайта методом підрахунку двох - байтної контрольної суми за модулем 65536 й порівняння її з еталоном, записаної у останніх двох байтах ПЗП;
 7 – емуляція ПЗП ТМ – підключення ОЗП налагодження об’ємом 8Кбайт замість ПЗП ТМ.

Інформація даних й адреси (у 16-річному коді), а також сигналів керування RD.M, RD.10, WR.M, WR.10 й RD.INR (у 2-чному коді) відображується на 7-ми сегментному індикаторі. Встановлений режим відображується окремим індикаторами. Введення числових значень й режимів роботи виконується з клавіатури.

Питання, що підлягають розробці

Розробити повну структурну схему пристрою, забезпечити узгодження цифрової інформації з рівнями сигналів ТМ, розробити паралельний інтерфейс сполучення з ТМ; визначити розрядність індикатора, а також кількість й функції клавіш клавіатури; розробити принципову схему, алгоритм роботи й програмне забезпечення.

Таблиця 4.4- Варіанти технічного завдання №4

Вар.	Режими	Коментарі
1	1,2,3,4	Накопичення у ОЗП пристрою даних о 4 попередніх командах з можливістю переглянути їх на індикаторі
2	0,2,5,6	Перегляд вмісту тестуемого ОЗП на індикаторі: адреса й дані
3	5,6,7	Індикація результатів тесту: адреса й дані у випадку помилку в ОЗП
4	3,4,5	Індикація параметрів контрольної точки й вмісту шини даних ТМ
5	0,1,3,4	Індикація параметрів контрольної точки й

		вмісту шини даних ТМ
6	3,4,7	Підключення паралельного інтерфейсу для введення програми для ТМ (побайтно) в ОЗП
7	0,2,5,6	Відображення результатів тестування на індикаторі (для ПЗП й ОЗП)
8	0,1,7	Підключення паралельного інтерфейсу для введення програми для ТМ (побайтно) в ОЗП
9	0,1,2,3,4	Індикація параметрів контрольної точки й вмісту шини даних ТМ
10	0,1,5,6	Індикація результатів тесту: адреса й дані у випадку помилки в ОЗП

4.5 Пристрій обробки сигналів звукової частоти

Пристрій має забезпечувати аналого-цифрове перетворення сигналів звукової частоти з динамічним діапазоном D , в заданій смузі частот ΔF .

Після аналого-цифрового перетворення пристрій має проводити обробку вхідних даних по алгоритму КІХ-фільтру та переміщати результат обробки до внутрішньої пам'яті процесора, при цьому тривалість записуваного сигналу складає T . Одночасно пристрій має виконувати передачу даних по одному з зовнішніх інтерфейсів (Link-порт, Sport-порт, External-порт) процесора на інший пристрій. Розрядність переданих чисел 32 біта.

Питання, які підлягають розробці.

1. Розробити повну структурну схему пристрою.
2. Вибрати тип АЦП та частоту дискретизації.
3. Вибрати тип процесора сімейства SHARC.
4. Розробити принципову електричну схему.
5. Розробити алгоритм роботи та програму.

Варіанти технічного завдання приведені у таблиці 4.5

Верхн частот фільтр у, Гц	20000	-	5000	60	4000	2500
Нижня частот фільтр у, Гц	-	500	1000	40	-	1500
Поря док філь тру	100	50	199	30	100	64
Тип фільтр у	ФНЧ	ВЧ	ПФ	РФ	ФНЧ	ПФ
Час запи су Т, с	0.5	1.2	0.15	2.5	0.3	0.3
динамічний діапазон сигнал (шум-г армоні ки) D, дБ	98	76	92	76	76	76
Смуга частот вхідн сигналу ΔF , Гц	10 – 22000	10 – 12000	10 – 24000	10 – 2000	10 – 8000	10 – 6000
Кіль кіст кан лів	2	1	2	4	4	2
Варі ант	1	2	3	4	5	6

4.6 Пристрій цифрової обробки сигналів проміжної РЛС

Пристрій має забезпечувати аналого-цифрове перетворення сигналу проміжної частоти F з динамічним діапазоном D та смугою частот F_p .

Після аналого-цифрового перетворення пристрій має виконувати формування квадратурних складових та оптимальну фільтрацію сигналу. Сигнал становить собою прямокутний радіоімпульс. Результат обробки має передаватися через Link-порт процесора на інший пристрій.

Питання, які підлягають розробці.

1. Розробити повну структурну схему пристрою.
2. Вибрати тип АЦП та частоту дискретизації.
3. Сформулювати вимоги до сигналу синхронізації АЦП.

4. Вибрати тип сімейства SHSRC.
5. Розробити принципову електричну схему.
6. Розробити алгоритм роботи та програму.

Варіанти технічного завдання приведені у таблиці 4.6.

Таблиця 4.6 – Варіанти технічного завдання №6

Варіант	Кількість каналів	Частота ПЧ F, МГц	Динамічний діапазон вхідного сигналу (шум+гармоніки) D, дБ	Смуга вхідного сигналу Fп, МГц	Тип інтерфейсу зв'язку
1	1	5	50	0,5	Link-port
2	2	15	50	0,5	Link-port
3	1	65	40	1	Link-port
4	2	100	36	2	Link-port
5	1	220	46	1,5	Link-port

4.7 Пристрій цифрової обробки сигналів

Пристрій має забезпечувати обробку даних, надходжуючих на вхід процесора через зовнішній інтерфейс (Link-порт, Sport-порт, External-порт) з виходу іншого пристрою. Обробка проводиться за допомогою різних п'яти підпрограм: "P1", "P2", "P3", "P4", "P5". Вибір даної підпрограми проводиться по команді з комп'ютера, до якого, через СОМ-порт підключено пристрій. Результат обробки необхідно передавати на вхід СОМ-порту комп'ютера.

Питання, які підлягають розробці.

1. Розробити структурну схему пристрою.
2. Вибрати режими роботи вхідних інтерфейсів.
3. Розробити інтерфейс зв'язку процесору з комп'ютером.

4. Вибрати тип процесору сімейства SHARC.
5. Розробити принципову електричну схему.
6. Розробити алгоритм роботи та програму.

Варіанти технічного завдання приведені у таблиці 4.7

Таблиця 4.7 – Варіанти технічного завдання №7

Варіант	Кількість каналів	Тип інтерфейсу зв'язку	Потік вхідних 32-бітних даних, слів/с	Швидкість роботи СОМ-порту, бит/с
1	4	Link-port	500000	9600
2	2	SPORT-port	10500	115200
3	2	External-port	400000	57600
4	1	SPORT-port	3600	19200

4.8 Пристрій реєстрації цифрових даних

Пристрій має забезпечувати запис даних, надходжуючих на вхід процесора через зовнішній інтерфейс (Link-порт, Sport-порт, External-порт) з виходу реєстрованого пристрою. Пристрій реєстрації має забезпечити можливість читання зареєстрованих даних зі своєї пам'яті через інтерфейс USB. Початок процесу реєстрації та кількість реєстрованих даних керується командами з комп'ютера через шину USB.

Питання, які підлягають розробці.

1. Розробити повну структурну схему пристрою.
2. Вибрати режими роботи вхідних інтерфейсів.
3. Розробити інтерфейс зв'язку процесору з комп'ютером.
4. Вибрати тип процесору сімейства SHARC.
5. Розробити принципову електричну схему.

6. Розробити алгоритм роботи та програму.

Варіанти технічного завдання приведені у таблиці 4.8

Таблиця 4.8 – Варіанти технічного завдання №8

Варіант	Кількість каналів	Тип вихідного інтерфейсу реєстрованого пристрою	Режими роботи порту USB
1	2	External-port	USB 1.0
2	4	SPORT-port	USB 1.0
3	2	Link-port	USB 2.0
4	4	SPORT-port	USB 2.0

4.9 Рекомендації до порядку виконання роботи

Рекомендований порядок виконання завдання «Багатоканальний вимірювальний пристрій».

В результаті роботи необхідно розробити електричну структурну й електричну принципову схему багатоканального вимірювального пристрою й виконати їх у форматах А4 й А1 відповідно. Допускається обґрунтована зміна формату. Перелік елементів виконується у полі електричної принципової схеми або у вигляді окремого документу.

Пояснювальна записка курсової роботи повинна мати об'єм 25-50 сторінок й містити:

титульний лист;

технічне завдання;

реферат;

зміст;

перелік умовних скорочень, позначень й термінів ;

вступ;

основну частину;

виводи та рекомендації ;

перелік використаних джерел;

додатки (за необхідністю).

Основна частина повинна складатися з чотирьох глав:

аналіз технічного завдання;

розробка електричної структурної схеми;

розробка електричної принципової схеми;

розробка програмного забезпечення.

Аналіз технічного завдання виконується до відповідності з розділом 1.1 частини 1 методичних вказівок.

З спектру вхідних сигналів треба виділити постійну й змінну частину напруги для наступної роздільної їх обробки у вхідних ланцюгах АЦП. Виходячи з потрібної точності цифрового представлення параметрів сигналу необхідно обчислити кількість розрядів коду N з урахуванням полярності напруги:

$$N = \log g + 1, \quad (2.1)$$

де \log – за основою 2;

g – допустима похибка перетворення, 0.01 – 0,5 %.

При цьому можливе представлення постійного складника у вигляді цифрової константи у програмі обробки вимірювань. Вираз (2.1) визначає динамічний діапазон вхідного сигналу, що використовується для розрахунку попереднього підсилювача.

Інтервал дискретизації за часом визначається з заданого частотного діапазону вхідного сигналу (за теоремою Котельникова) й кількість одночасно оброблених каналів. Мінімальний інтервал повинен не менш, ніж на 20% перевищувати середній час перетворення АЦП. У інтервал дискретизації також входить час встановлення вихідної напруги попереднього підсилювача.

У скануючому режимі може здійснюватися, як безперервна вибірка значень за всіма каналами, також й вибірка інформації за синхросигналом процесора. Уточнення способу вибірки необхідно провести при аналізі швидкодії використаною МПС й структури ПЗ. Можливо використання проміжного ПЗП за для накопичування вимірювальних значень у кожному каналі або використання АЦП з інтегрованим ОЗП (КР572ПВ4).

У селективному режимі вибірка виконується за каналом що адресується з клавіатури через процесор. Інтервали вимірювань формуються в ПЗ за сигналами тактового генератора або спеціального таймеру. Похибки цих тимчасових інтервалів залежать від значення вихідної частоти й її стабільності.

Кількість розрядів сегментного індикатора повинно задовольнити встановленої розрядності номерів каналів й цифрових значень вимірювальної напруги. Переповнення (перевищення напруги над встановленим рівнем) відображається на індикаторі довільним умовним знаком. Змінення часу індикації значення напруги у каналі може виконуватися з клавіатури або спеціальним змінним резистором. У процесі аналізу ТЗ треба враховувати, що ПЗ багатоканального вимірювального пристрою буде містити у собі підпрограми керування вибіркою миттєвих значень сигналів, керування виведенням інформації на індикатор, аналіз впливів з клавіатури, аналіз цифрових вибірок з метою отримання середнього значення й визначення максимального розміру напруги, а також забезпечення роботи периферійних пристроїв.

У результаті проведеного аналізу необхідно конкретизувати вимоги до параметрів АЦП й аналогової частини пристрою, визначити перелік його функцій й режимів роботи, вхідних впливів, характеристик вихідної інформації й органів керування пристроєм. У цій главі повинні бути сформульовані критерії визначення середнього значення (кількість усереднених звітів), метод визначення максимального рівня (не менш, ніж за трьома звітами), а також визначений приблизний обсяг ПЗ.

Розробка структурної схеми виконується з відповідністю з розд. 1.2 частини 1 методичних вказівок.

Перед усім, засновуючись виводів з аналізу ТЗ необхідно визначити архітектурну організацію процесорного вузла, уточнити характеристики й параметри ЦП (швидкодія, наявність інтегрованого ПЗП й ОЗП, розрядність шини даних, особливості керування). Ці дані дозволяють обґрунтувати вибір типу процесору й комплексу обслуговуючих його ВІС. Допускається використання однокристальних мікроконтролерів КР1816ВЕ48, 51 й т.п., що дозволяють спростити рішення задачі.

Необхідно визначити обсяг інформації, передбаченої для зберігання у ПЗП й ОЗП, а також організацію ЗП (потім ці параметри можуть уточнюватись).

Вибір методу аналого-цифрового перетворення обґрунтовується при оптимізації відносності його швидкості й точності. Посеред АЦП, що реалізують обраний метод перетворення необхідно використовувати той, що забезпечує максимальну кількість функцій, сформульованих у

аналізі ТЗ, при мінімальній споживаній потужності. У залежності від параметрах вихідного сигналу й діапазону вхідних напруг визначається необхідність використання узгоджених елементів (підсилювачів, повторювачів або подільників) й пристроїв вибірки-зберігання аналогового сигналу.

Комутація каналів може виконуватись на етапі аналогової або цифрової обробки у залежності від кількості використаних АЦП. При послідовній обробці каналів можливе використання одного АЦП й аналогового комутатора (АК), що суттєво спрощує вимірювач.

Вузол клавіатури повинен містити набір клавіш що забезпечує введення номера каналу, встановлення режиму й виду вимірювань, змінення тривалості індикації кожного значення (наприклад, зменшення або збільшення), а також становлення у базовий стан (скидання).

Семи-сегментний індикатор повинен відображати номер поточного каналу, середнє або максимальне значення напруги. Пристрій спряження індикатору повинно забезпечувати динамічний або статичний спосіб індикації, формування токів й напруги індикаторних елементів й може бути виконане у вигляді спеціального контролеру. У якості індикаторних елементів можна використовувати світлодіодні, рідиннокристальні або люмінісцентні матриці.

Для формування усіх необхідних часових інтервалів можливе використання спеціального таймера з внутрішньо або зовнішньою синхронізацією. У випадку реалізації таймера у вигляді окремої ВІС необхідно виконати спряження його з шиною даних та керування.

Функціональний вузол, формуючий переривання процесора для виконання операцій введення-виведення, відображається на структурній схемі у вигляді блока (контролера переривань).

У результаті розробки структурної електричної схеми (Е1) повинні бути визначені усі важливі для функції вимірювача вузли й блоки з вказівкою основних між-блочних й зовнішніх зв'язків. На схемі Е1 треба указати функціональні вузли незалежно від їх подальшої реалізації (у вигляді окремих ІС а їх частин). У цій главі повинні бути сформульовані конкретні вимоги до функцій кожного вузла схему Е1 й значення його вхідних й вихідних параметрів, а також здійснено вибір елементної бази згідно з розд.1.3 частини 1 методичних вказівок.

Розробка принципової електричної схеми (ЕЗ) виконується у відповідності з розд.2 частини 1 методичних вказівок й виконується по функціональним вузлам схеми Е1.

Починати розробку треба з вузлів, що забезпечують МПС вхідної інформації (пристрої спряження датчиків, АЦП й інш.). обраний АЦП повинен бути включений так, щоб забезпечити задані у ТЗ параметри й режими функціонування. Особливу увагу треба приділити формуванню необхідної опорної напруги, точність якої впливає на статичні похибки перетворення. Напруга зміщення виникає у аналоговій частині вимірювача через неідеальність АЦП й попереднього підсилювача (як правило, останній вносить найбільший внесок у похибку). Динамічна похибка АЦП виникає при істотній зміні його вхідної напруги підчас перетворення. Зменшити цю похибку можна методом обмеження полоси пропускання аналогового тракту (але це може призвести до усереднення миттєвих значень вхідної напруги) або використанням УВХ (КР1100СК1, КР1100СК3).

Аналоговий комутатор повинен забезпечити передачу напруги на вхід АЦП (або попереднього підсилювача) з мінімальними перекручуваннями: опір відкритого ключа не повинен перекручувати вихідний код АЦП більш ніж на 0,5-0,75 ОМР; напруга живлення АК повинна перевищувати максимальну напругу вхідного сигналу. Найбільший розвиток АК отримав у серії КР590, можливе використання ІС серій К176, К561, КР1561.

Клавіатура може функціонувати при статичному (кількість клавіш не більш 8) й динамічному методі запитування стану механічних замкачів. Вибір методу усунення деренчання пов'язаний з методом запитування клавіатури: використання RS тригера є ефективним для статичного метода, багатократне запитування стану контактів (схематичні, програмні або комбіновані засоби) є прийнятним для динамічного методу. У схемо-технічних засобах запитування здійснюється, як правило, двічі за 8-12 мс, а у програмних – 20-50 разів після реєстрування стабільного стану (в залежності від тактової частоти процесору й структури підпрограми обслуговування клавіатури). Ефективне використання спеціальних контролерів клавіатури.

Індикаторний дисплей повинен відповідати призначенню пристрою, вимогам експлуатування й ергономічним критеріям вимірювача. Використання рідкокристалічних дисплеїв бажано при створенні

пристроїв з низьким енергоспоживанням й експлуатацією при якому освітленні. Цифрова індикація також може бути реалізована динамічним або статичним методом (кількість знаків – не більш 3-5). Ключеві елементи світлодіодного динамічного дисплею повинні бути розраховані на номінальний імпульсний струм у кожному сегменті. Сучасні контролери індикації виконують необхідні операції виведення.

Після розробки основних вузлів, передбачених для операцій введення-виведення, треба перейти до проектування вузла центрального процесора. Режими роботи процесора (або мікроконтролера) визначаються з урахуванням особливостей архітектури МПС й взаємодії з периферійними пристроями по шинам адреси, даних й керування (див. розділ 2.1-2.5). Різноманітні типи мікропроцесорів й мікроконтролерів мають схожі режими роботи, але реалізація й установка режимів виконується як правило не схожими методами. Це потребує вивчення технічної документації на обраний тип процесора.

Взаємодія ЦП з периферійними пристроями основана на інтерфейсних інформаційних й керуючих зв'язках, що забезпечують стабільний (без збоїв й конфліктних ситуацій) процес передачі або прийому інформації. Для цього необхідно, використовуючи тимчасові характеристики циклів ЦП, розробити інтерфейсну схему узгодження з периферійними вузлами на основі ВІС паралельного й послідовного інтерфейсів або на основі універсальних ІС перспективних серій. При проектуванні інтерфейсів треба пам'ятати про обмеженість навантаженої здатності шин процесора й про сумарну допустиму часову затримку, що вноситься пристроями інтерфейсу.

Розробка вузлів ЗП містить у собі попередню оцінку обсягів ПЗП й ОЗП, а також побудування таблиці розподілу адресного простору процесора (див. розділ 2.2). Основні вимоги до цих вузлів й особливості їх розробки викладені у розділі 2.6.

Необхідність у контролерах шин, тактових генераторах, адресних дешифраторах, формувачів, завадостійких й буферних елементах залежить від типу мікропроцесорного комплексу ВІС, архітектури МПС, конструкції приладу й умовами його експлуатації (у схемі Е1 не вказуються). Особливості розробки таких елементів наведені у розділі 2.4.

Розробку усіх цифрових вузлів необхідно призводити на основі логічного синтезу з аналізом максимальної кількості комбінацій

вхідних впливів (включно нестійкі й проміжні стани), а для елементів передачі інформації й комбінацій, що виникають унаслідок перешкод. Пояснювання до розробки функціональних вузлів у ПЗ, що обґрунтовують рішення, що приймаються й послідовність розробки, повинні містити таблиці істинності, логічні вирази з необхідними перетвореннями, часові діаграми й фрагменти схем. Крім того, логічні функції можуть вимагати словникового писання (особливо функції, що формуються у взаємодії програмних й схемо-технічних засобів). Проектування електричної принциповою схеми вимагає розробки послідовностей інформаційного обміну, формату представлення даних у процесі й формування набору даних про поточний стан основних вузлів інтерфейсного обміну. Розробка аналогової частини пристрою повинна містити у собі електричні розрахунки похибок перетворення, коефіцієнтів передавання, похибок підсилювання. Розрахункові значення опорів й ємкостей треба округлювати у більшу або меншу сторону (в залежності від цілей розрахунку) до найближчих значень з рядів E12, E24, E48 або E96. Типи конденсаторів треба обирати у відповідності з їх призначенням, допустимим напругам й частотним характеристикам.

Розробка програмного забезпечення виконується у відповідності з розділом 3 частини 1 методичних вказівок.

Необхідно визначити кількість й формат змінних для зберігання проміжних й кінцевих результатів, а також керуючих змінних, які відображують поточний режим роботи пристрою. Усі дії, які повинен виконувати процесор треба розділити на логічні відокремлені фрагменти, що реалізуються у вигляді підпрограм, часток, підпрограм обслуговування функціональних вузлів (введення даних з АЦП, введення з клавіатури, виведення на індикацію, керування таймером).

У головній програмі необхідно здійснити початкову ініціалізацію вузлів МПС й виконання основного алгоритму з викликанням необхідних підпрограм. Якщо при викликанні підпрограм використовуються команди стекового переходу (наприклад CALL або RET), то необхідно передбачити розміщення стекової пам'яті в ОЗП й ініціалізацію покажчика стека. При використанні системи переривань також необхідно організувати стекову пам'ять й, крім того, передбачити розміщення підпрограм обслуговування переривань за конкретним фізичним адресам. Підпрограма обслуговування АЦП повинна забезпечувати введення даних у процесор й перетворення

зміщеного коду АЦП, у додатковий код представлення даних для наступної математичної обробки. Для визначення середнього значення у наданому змінному інтервалі необхідно підрахувати кількість вимірів, бажано щоб дорівнювало 2 у ступені n , й накопичувати проміжну суму. У цьому випадку спрощується алгоритм обчислення середнього значення. У режимі виміру максимального значення у заданому часовому інтервалі треба провести усереднення за малою вибіркою (наприклад по чотирьом сумісним вимірюванням) й порівняти отриману величину з максимальним значенням що зберігалось. Після порівняння треба зберігати більше з двох значень. У якості вхідного параметру, що передається у підпрограму, треба задавати режим роботи (селективний або скануючий) й номер опитуваного каналу у селективному режимі. Підпрограма повинна містити у собі команди, які у відповідності з вхідними параметрами, керують роботою АЦП й аналогового комутатора.

Підпрограма обслуговування клавіатури після визначення стану механічних замикачів повинна відповідно встановлювати значення керуючих змінних при натисканні клавіш режиму, обидва клавіш обирає номеру каналу, а також перевизначити змінну, що задає час індикації. Нові значення змінних використовуються потім для керування алгоритмів у головній програмі й у інших підпрограмах.

Підпрограма обслуговування індикаторного дисплея повинна забезпечувати відображення службової інформації й індикацію результатів вимірювання. Службова інформація про режими роботи й номері каналу повинна оперативно відновлюватись при натисканні клавіш. Результати вимірювань необхідно перетворювати з подвійного додаткового коду у подвійно-десятькове число зі знаком. Якщо у блоці семи-сегментного індикатора використовується безпосереднє керування сегментами, то виникне потреба у додатковому перетворенні десяткових чисел у коди керування сегментами з використанням таблиці перетворення, яка розміщується, як правило, у ПЗП.

Відмітні особливості виконання інших типових завдань

При виконанні завдання "Спеціалізований обчислювач функції" необхідно оцінити розрядність результату при максимально можливих величинах операндів як у позитивній, так і в негативній області значень. Обрати оптимальний алгоритм обчислення з мінімальними витратами часу. При розробці підпрограм помноження, розділення,

обчислення аналітичних функцій необхідно проводити розкладання у степеней ряд Тейлора (див. додаток до ТЗ). Ці функції мають обмежений діапазон аргументів. Для подолання цього скрутного становища треба використовувати лінійні математичні перетворення й звести обчислювання до простих арифметичних операцій.

Ведення операндів з клавіатури повинно супроводжуватися відображенням на індикаторі значень, що вводяться: рекомендований порядок введення – зліва направо по мірі того, як заповнюється індикатор. Для введення операндів треба розробити послідовність натискання керуючих клавіш для введення декількох операндів й можливості повторного введення помилкових значень. Для реалізації цих функцій треба використовувати контролер КР1810ВД79.

Для накопичування масиву результатів необхідно визначити об'єм пам'яті, достатній для зберігання N значень заданої розрядності. Передача масиву здійснюється побайтно, а поміж сусідніми значеннями необхідно вставляти розділові символи (наприклад, 00h).

При виконанні завдання “Прилад обробки даних за перериванням” треба використовувати контролер переривань КР1810ВН59А, програмуючи його режими згідно з ТЗ й умовами роботи процесора. При прийомі й передачі блоків інформації необхідно передбачити необхідний об'єм пам'яті для буферного накопичування приймальної інформації по кожному джерелу ДЖР й приладу призначення ПП. Для ідентифікації приймальних блоків необхідно аналізувати значення службових байт блоків й формувати алгоритми програми так, щоб прийом блоків від кожного джерела здійснювався незалежно один від одного.

Індикатор станів каналу (помилки, блокування) можливо виконати за допомогою регістру з достатньою навантаженою здатністю (наприклад, КР580ИР82).

Виконання завдання “Термінал послідовного обміну даними” треба починати з ознайомлення з параметрами інтерфейсу RS-232C по рекомендованій літературі у розд 1. При розробці вузлів узгодження з лінією передавання можна використовувати спеціалізовані мікросхеми серії К170, що працюють при напрузі живлення 12В. Еталонна (контрольна) послідовність може включати в себе будь які символи й коди, що дозволяють найбільш повно протестувати передачу й прийом інформації (символи FFh, Aah, 00h, 55h). Необхідно враховувати, що у пристрої використовуються лише термінальні (кінцеві) з'єднувачі.

Сигнали для термінала наведені у ТЗ. Формування часових інтервалів можна забезпечити як за допомогою одновibratorів (К1533АГ1, АГ3), так і спеціалізованого таймеру КР580ВИ53. Крім того, необхідно роздивитись можливість формування часових інтервалів програмним шляхом.

При виконанні завдання “Пристрій налагодження” необхідно побудувати інтерфейс, що забезпечує прийом цифрової інформації від модуля що тестується ТМ у режимах 1,2,3 й двох-направлений обмін даними поміж налагоджувальним пристроєм й ТМ для режимів 5,6,7. Для доступу до ОЗП й ПЗП ТМ необхідно використовувати сигнали E.RAM, E.ROM, RD.M, RD.IO, WR.IO. при поцикловому виконанні команд процесора ТМ треба використовувати сигнал DL й сигнал C.SA, які забезпечують затримку виконання циклу тестуемого процесора. Інформація на магістралях ТМ протягом режиму W1 не змінюється й може бути зчитана для аналізу й обробки. Покомандне виконання програми ТС містить у собі виконання усіх циклів команди з відображенням у кінці її виконання адреси й коду операції наступної команди.

Налагодження за контрольними пунктами повинна містити у собі покомандне автоматичне виконання програми зупинкою, якщо адресу будь якої контрольної точки дорівнює адресі поточної команди програми ТМ.

Тестування ОЗП ТМ виконується при перемиканні процесора ТМ у режим блокування (DE). Формування адреси, даних й сигналів керування відбувається за допомогою настроювача. Тестування відбувається у автоматичному режимі із зупинками. У випадку реєстрації помилки на індикаторі відображується адреса, зчитане й записане значення даних.

Емуляція ПЗП відбувається за допомогою ОЗП настроювача. Для введення програми ТМ треба передбачити інтерфейсне з'єднання з зовнішнім джерелом (за будь яким методом передачі) й після завантаження програми у ОЗП настроювача необхідно виконати скидання ТМ (сигнал SR) й підключити ОЗП до магістралі ТМ (на вході E.ROM = "1").

4.10 Узагальнені етапи розробки пристрою реєстрації

Вихідні дані:

- а) - формат реєстрованих вхідних даних – 12-бітний паралельний інтерфейс АЦП;
- б) - частота надходження даних – 20 МГц;
- в) - кількість реєстрованих слів – 16384;
- г) - результат – передається по двом незалежним каналам зв'язку в форматі SPORT-а та LINK-порту, на максимальних швидкостях цих портів; SPORT працює в режимі зовнішньої синхронізації; по завершенні передачі, реєстрація відновлюється і т.д.

4.10.1 Розробка електричної структурної схеми

Розробка електричної структурної схеми починається з аналізу технічного завдання. Аналіз дає змогу визначити спосіб реалізації пристрою та визначитися з мінімальним набором структурних елементів, на основі яких буде вестися розробка електричної принципової схеми.

Пристрої реєстрації призначені для настройки пристроїв цифрової обробки сигналів і дають змогу отримувати "моментальні знімки" вихідних сигналів цих пристроїв. Якщо відомий вхідний сигнал, то можна оцінити результат роботи всього пристрою. Наприклад, якщо записати сигнал з виходу АЦП, подавши на його вхід тональний сигнал, та піддати його перетворенню Фур'є, можна отримати спектральну характеристику та по ній оцінити якість вхідного сигналу та якість перетворення. Зазвичай запис проводиться в реальному режимі часу, а аналіз виконується після, за допомогою персонального комп'ютера.

Для пристрою цифрової реєстрації характерна наявність, як мінімум, вхідного інтерфейсу та інтерфейсу зв'язку, а також процесора, який і виконує реєстрацію вхідних даних, наприклад, АЦП чи пристрою обробки.

В пристроях реєстрації, зазвичай, використовується зовнішня синхронізація, загальна, з тестованим пристроєм, або використовуються схеми з двох-портовим ОЗУ, але при цьому

швидкодія процесора в режимі запису має бути більше, ніж швидкість надходження даних.

Процесорний пристрій, для нормального функціонування, має мати живлення, синхронізацію, генератор сигналу ініціалізації (сигнал "скинення") та джерело програми (наприклад, ПЗУ).

За умовою технічного завдання вхідний сигнал має розрядність 12 біт та частоту 20 МГц. Прийняти такий сигнал можна тільки за допомогою паралельної шини процесора, так як продуктивність решти портів вводу-виводу та їх розрядність набагато менше необхідного.

В нашому випадку, додатково, необхідно встановити на вході, перед паралельною шиною, буферний пристрій, який дасть змогу відокремити паралельну шину пристрою від паралельної шини процесора в момент загрузки.

Синхронізацію та живлення для пристрою реєстрації візьмемо від реєстрованого пристрою, що забезпечить простоту реалізації пристрою.

З урахуванням вищезазначеного, структурна схема буде мати вид представлений на рисунку 4.1.

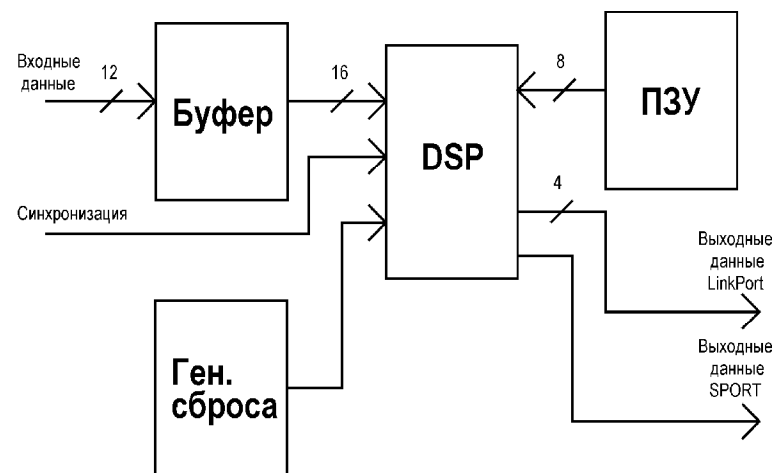


Рисунок 4.1- Схема пристрою реєстрації

4.10.2 Розробка електричної принципової схеми

Розробку електричної схеми починають з вибору процесора. В ТЗ задані вимоги до наявності у проектованого пристрою інтерфейсу SPORT та LINK. Також є вимога до обсягу пам'яті процесора, виражене в кількості запам'ятованих слів. Перша вимога дає змогу відкинути процесор ADSP-21061, так як у нього відсутні LINK порти. З двох процесорів серії ADSP-2106x необхідно вибрати найбільш дешевий процесор, який би задовольняв вимогам, пред'явленим до обсягу пам'яті. Обсяг пам'яті, необхідний для зберігання реєстрації, виходячи зі значення ТЗ – 16384 слова (розрядність – 12 біт). Передбачається, що слова будуть зберігатися в 32-бітній внутрішній пам'яті процесора, для чого буде необхідно $16384 \times 32 = 524288$ біта $/1024 = 512$ Кбіт пам'яті одного банку пам'яті процесора ADSP-21062 складає 1 Мбіт, а у процесора ADSP-21060 – 2 Мбіт. Так як процесор ADSP-21062 дешевше, ніж процесор ADSP-21060, то вибір можна зупинити на ньому.

Розробка електричної схеми ведеться згідно зі структурною схемою пристрою (рисунок 1). Дані, синхронізацію та живлення на пристрій подається через роз'єм X1. З виходу тестового пристрою тактові імпульси подають їх на синхро-вхід процесора CLKIN.

Генератор сигналу "скидання" виконується за допомогою одновібратора, зібраного на RC-ланцюзі R1C14 та повторювачі, виконаному на тригерах Шміта. Одновібратор повинен забезпечувати затримку логічного "0" на вході процесора SR, згідно зі специфікацією, не менше ніж на 100мс після подачі живлячої напруги на процесор. Час затримки визначається часом заряду конденсатора C14, через резистор R1, до рівня логічної "1". Замість розглянутого варіанту допускається установка спеціалізованої мікросхеми.

Ланцюги живлення, поблизу корпусів мікросхем мають бути зашунтовані від імпульсної перешкоди, яка з'являється в момент переключення логічних рівнів на виході, блокувальними ємностями C1-C12. Згідно до специфікації на процесор потребується встановити не менше 8 блокувальних ємностей номіналом не менше 0.1 мкФ поблизу ланцюгів живлення процесора. Решта блокувальних ємностей вибираються з таким же номіналом. Для згладжування пульсацій потребується встановити згладжу вальний конденсатор з більшою ємністю в ланцюзі живлення проектованого пристрою.

Для зберігання програми вибирається недорога енергонезалежна пам'ять PROM (ПЗУ), з однократним циклом програмування. Розмір пам'яті ПЗУ рекомендується вибирати не менше пам'яті процесора. Сигнал OE, який управляє станом шини даних ПЗУ, підключається до виводу процесора BSM(0). Сигнал BSM(0) встановлюється тільки в момент загрузки програми процесором з ПЗУ, що гарантує підключення до шини процесора тільки на початку роботи пристрою. Сигнал CE, який управляє читання даних з ПЗУ, підключається до виводу процесора RD(0), який встановлюється в момент читання даних паралельним портом процесора. Для загрузки програми з ПЗУ, згідно зі специфікацією, на вхід процесора EBOOT необхідно подати сигнал логічної "1", а на вхід LBOOT подати "0". 8-бітна шина даних ПЗУ підключається до 48-бітної шини даних процесора зі зміщенням вправо на 16 біт. Шини адреси з'єднують напрямку.

Для буферизації вхідних даних використовуються синхронні 8-бітні реєстри, з сигналом запису фронтом та вимкненим виходом. Вхід управління третім станом реєстру EZ з'єднується з вихідним сигналом процесора MSO (признак звернення до нульового банку області пам'яті процесора). Сигнал синхронізації запису в реєстр має приходити від реєстрованого пристрою. Виходи реєстрів підключаються до шини даних процесора зі зміщенням вправо на 16 біт.

Виводи шини даних процесора з'єднуються з ланцюгом 0V для запобігання наводки на них сигналів, порівняних з рівнем логічної "1", що може понести за собою викривлення зчитаних даних за рахунок невикористаних старших біт шини.

Для нормального функціонування процесор має мати свій власний номер. Номер задається в двійковому коді шляхом подачі логічних сигналів на виходи ID0-ID2. В тому випадку, коли процесор один, йому присвоюється номер 1.

Для настроювання та тестування процесора необхідно вивести на окремий роз'єм X3 порт JTAG інтерфейсу.

Вихідні дані мають бути передані через інтерфейси LINK-порту та SPORT. Сигнали цих портів виводяться на роз'єм X2.

Схема пристрою представлена на рисунках 4.2 та 4.3.

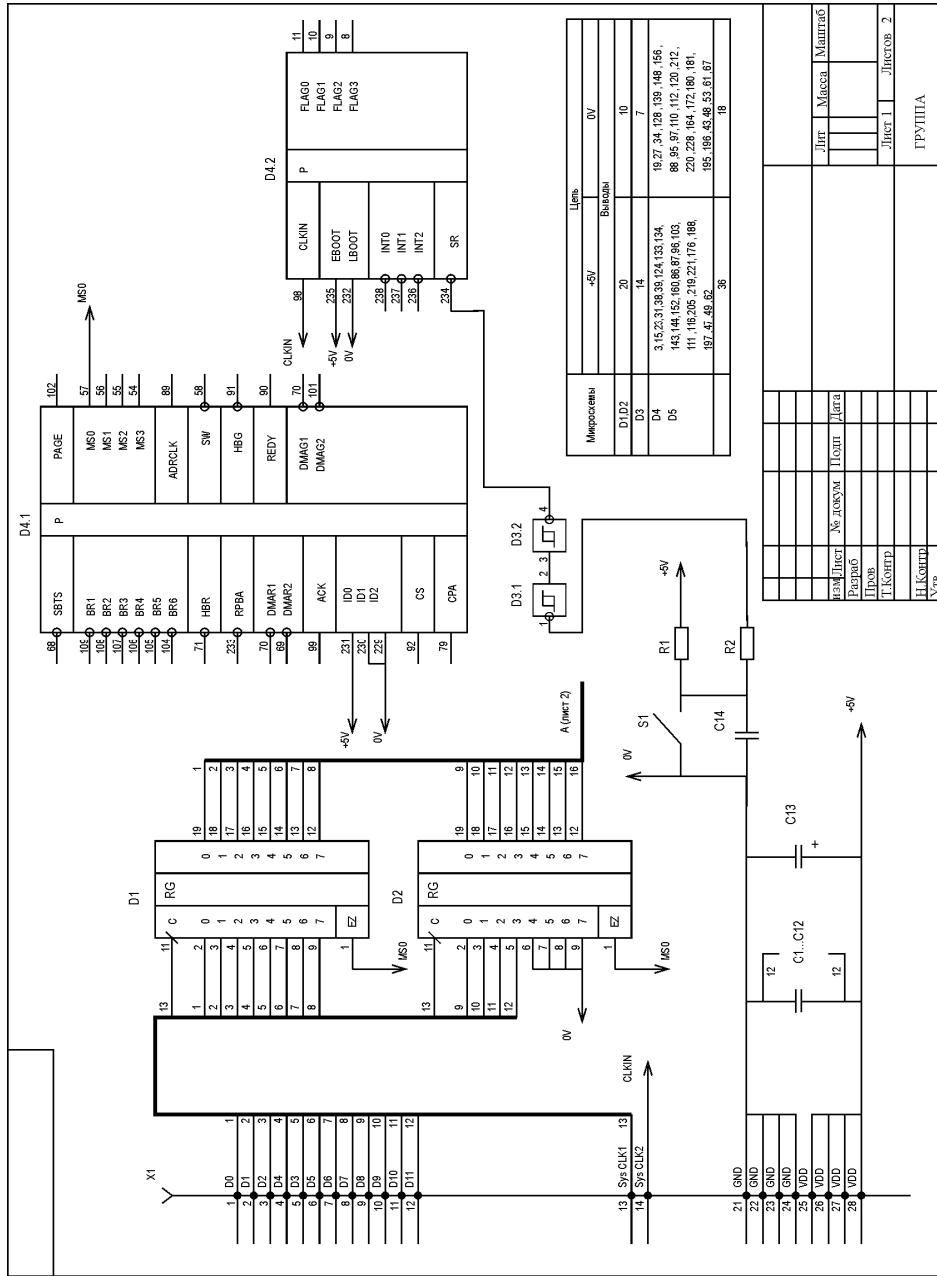


Рисунок 4.2 – Схема пристрою

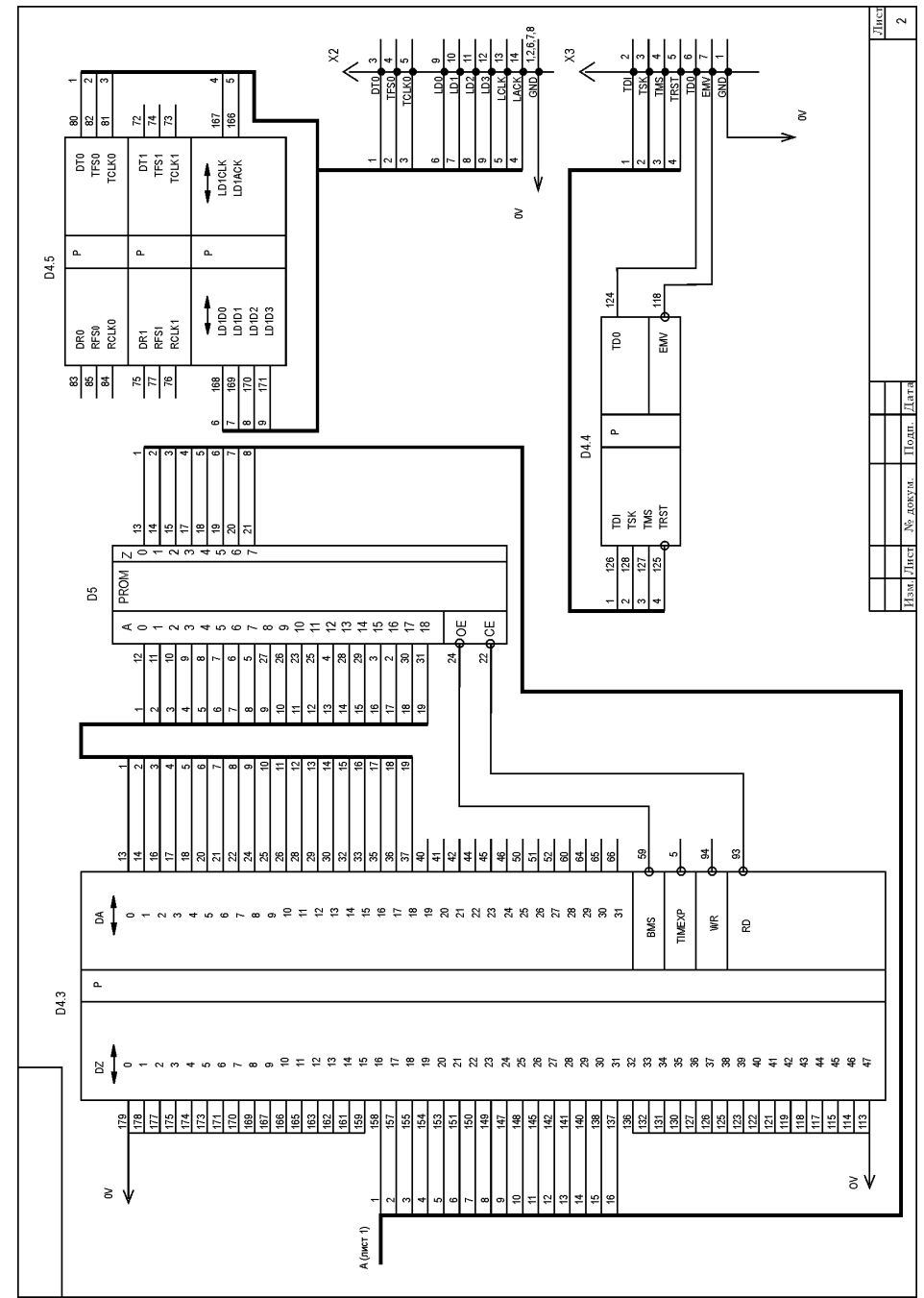


Рисунок 4.3 – Схема пристрою реєстрації

4.10.3 Розробка програмного забезпечення

Розробка починається з розробки алгоритму роботи пристрою та створення його блок-схеми. В ТЗ заданий циклічний порядок роботи пристрою, тобто операція читання міняється операцією видачі даних, після чого цикл повторюється. Очевидно, що алгоритм роботи програми має бути наступним:

а) - початкова ініціалізація режимів роботи прийомних та передаючих портів вводу-виводу; ініціалізація покажчиків на масив даних; настройка переривань та режимів їх обробки, якщо це необхідно.
 б) - безпосередньо цикл на 16384 операції ресстрації (читання) вхідних даних.

в) - передача даних по каналам LINK-порта и SPORTa.

Процес передачі може бути організований двома способами:

а) послідовно передаються дані через SPORT и LINK-порт, що займе, при умові ТЗ, що порти працюють на максимальній швидкості передачі (40 МГц, 8 тактів для передачі 1-го 32-бітного слова в LINK порту та 32 такти в SPORTi) $LINK=1/40000000*16384*8=3276$ мкс та $SPORT=1/40000000*16384*32=13107$ мкс, що складе в сумі $3276+13107=16383$ мкс;

б) паралельно, коли передаються дані LINK-порта и SPORTa, при цьому час передачі буде визначатися виключно більшим часом передачі, тобто 13107 мкс, але для реалізації паралельної передачі буде потрібна організація обробки переривань передачі SPORT (синхронізують зазвичай більш повільний інтерфейс);

в) якщо вибирається другий варіант передачі, то необхідно реалізувати цикл перевірки кількості переданих SPORTом даних, так як очевидно, що цикл передачі даних LINK- портом займе менше часу; по завершенні циклу передачі даних програма повинна перейти до пункту 2 чи пункту 1.

Блок схема алгоритму з паралельною передачею даних представлена на рисунку 4.4.

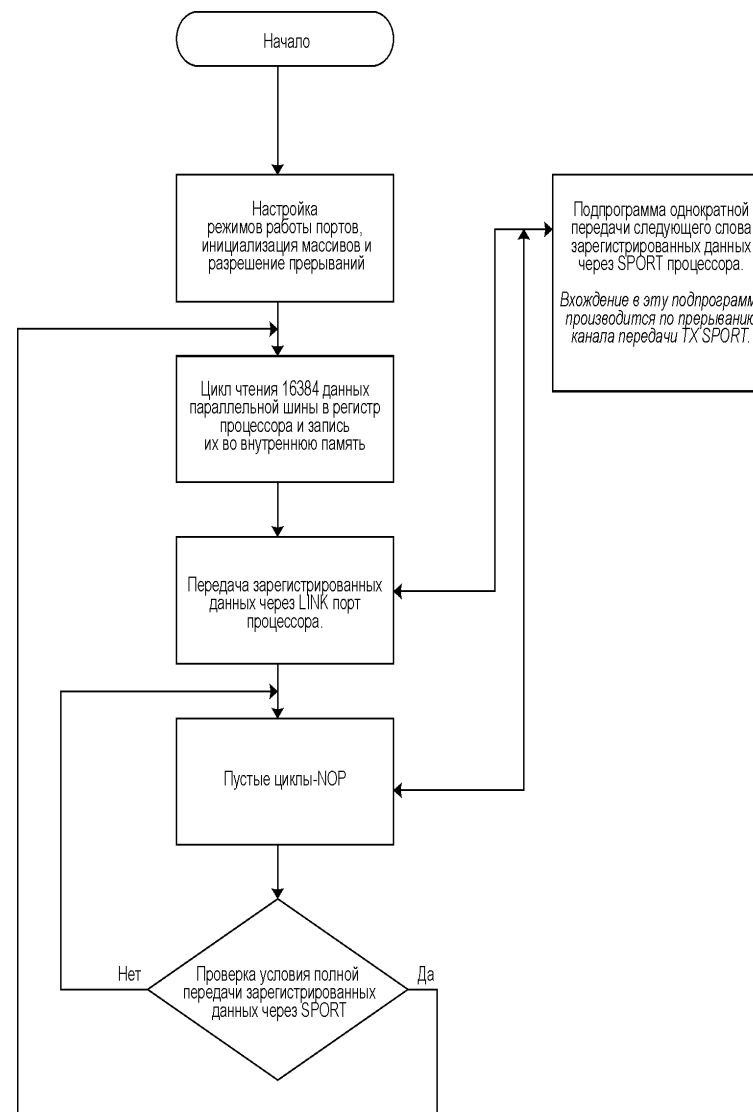


Рисунок 4.4 – Блок схема алгоритму паралельної передачі даних

Текст програми, написаній згідно з даним алгоритмом:

```

#include "def21060.h"
#define N 64

.SEGMENT/DM    dm_data;

.var Data[16384];// масив для вхідних даних
.ENDSEG;

.SEGMENT/PM    pm_rsti;
#include "IRQ.asm"
.ENDSEG;

.SEGMENT/PM    pm_code;

start: nop;

B0=Data; // До реєстру B0 заноситься адреса масиву DATA
        // Показчик буде використовуватися для запису вхідних даних
M0=1;    // Крок по масиву Data =1
L0=@Data; // Довжина масиву визначає кільце значень показчика IO

B1=Data; // До реєстру B1 заноситься адреса масиву DATA
        // Показчик буде використовуватися для читання
зареєстрованих даних при подачі LINK портом
M1=1;    //Крок по масиву Data =1
L1=@Data; // Довжина масиву визначає кільце значень показчика II
B2=Data; // До реєстру B1 заноситься адреса масиву DATA
        // Показчик буде використовуватися для читання зареєстрованих
даних при подачі даних SPORTом
M2=1;    // Крок по масиву Data =1
L2=@Data; // Довжина масиву визначає кільце значень показчика II

//-----WAIT Cycles External Port-----
Ustat1=b#000000001100011000110001100011;
DM(WAIT)=Ustat1; // Паралельна шина процесора сконф. На читанні
данних
        // протягом 1 такту без сигналів підтвердження ACK

```

```

//-----
//----- SPORT0 TX -----
Ustat1=b#00000000000000000000000000000000; //Дільник частоти=1
(Max Speed)
DM(TDIV0)=Ustat1;
Ustat1=b#000000110011000111110001; //SPORT0 налаштований на
передачу 32
DM(STCTL0)=Ustat1;           //бітних слів з зовнішньою
синхронізацією
//-----

//-----LinkPort/s-----
Ustat1=0;
dm(LCTL)=Ustat1;
Ustat1=b#0000000000000000000000001001; //LINK-порт 0
налаштований на передачу
dm(LCTL)=Ustat1;
Ustat1=b#1111111111111111000;
dm(LAR)=Ustat1;

bit set imask SPTOI; //дозволено переривання по факту передачі
слова SPORT0
bit set mode1 IRPTEN; //дозволені глобально переривання

//-----Syscon-System Property-----
Ustat1=b#00000000000000000000000000000000; // Дозвіл режиму
"підвисання" ядра до
DM(SYSCON)=Ustat1;           // закінчення передачі порта
//-----
NewReg:

r15=16384; // Реєстр r15 буде використовуватися для рахунку
кількості переданих
        // слів через SPORT

/*****Цикл читання
(реєстрації)*****/

```

```

LCntr=16384; Do Label Until LCe; // Організація циклу читання
r1=dm(0x400000); // Читання даних з паралельної шини
процесора в
// реєстр r1
Label: dm(i0,m0)=r1; // Запис даних до масиву DATA за адресою I0 из r1

```

```

call Write_New_Word_in_TX; // Перший запис даних до SPORT
// Після вибірки даних з передаючого реєстру TX відбудеться
переривання,
// яке знову запустить підпрограму Write_New_Word_in_TX
// і т.д. Переривання будуть проходити спочатку в середині
наступного циклу
// через 32 такти та в циклі очікування

```

```

/*****Цикл передачі даних через LINK-порт та паралельно
через SPORT*****/

```

```

LCntr=16384; Do Label2 Until LCe; // Організація циклу передачі
r1=dm(i1,m1); // Чтение данных из массива DATA в
// реєстр r1
Label2: dm(LBUF0)=r1; // Запись данных в буфер LINK-порта

```

```

/*****Цикл очікування закінчення передачі SPORTa**/
WaitSPORT:nop;
r15=pass r15; // перевірка состояния регистра R15
if ne jump WaitSPORT; // Если R15<>0, выполняется переход на метку
WaitSPORT

```

```

jump NewReg;

```

```

Write_New_Word_in_TX:
r2=dm(i2,m2); // Читання даних з масиву DATA в
// реєстр r2
rts(db); // команда виходу з підпрограми, при якій, окрім переходу,
// паралельно виконується ще дві команди, що дає змогу
оптимально

```

// компенсувати холості цикли при поверненні.

```

dm(TX0)=r2; // Запис даних в буфер SPORT-a
r15=r15-1; // Зменшується лічильник переданих SPORT-ом даних на
1.

```

```

//-----Кінець підпрограми Write_New_Word_in_TX-----
.ENDSEG;

```

ВИВОДИ ТА РЕКОМЕНДАЦІЇ

У пояснювальній записці необхідно роздвигтися актуальність розробки запропонованого пристрою. Цей матеріал необхідно розмістити у розділі "вступ" (об'ємом 1-2 сторінки). Крім того, у вступі розглядаються питання використання розробленого пристрою та при необхідності характеристики аналогічних приладів.

Узагальнення результатів виконаної курсової роботи треба викласти у розділі "Виводи" (об'ємом 1 сторінка). При цьому необхідно проаналізувати ступінь виконання ТЗ, переваги і недоліки прийнятих технічних рішень, а також роздвигтися можливості удосконалення роздільних вузлів і усього пристрою.

Повністю оформлений графічний матеріал і ПЗ представляються до захисту після попередньої перевірки. У ході перевірки встановлюється відповідність представленого матеріалу вимогам ТЗ по принциповим аспектам. Основна увага при перевірці приділяється повноті представлення матеріалу, поясненню, доказу та обґрунтуванню правильності прийнятих технічних рішень і методів їх реалізації, а також оформленню документів. У процесі захисту роздвигляється працездатність приладу по матеріалах принципової схеми і програмного забезпечення, оптимальності реалізації функції і окремих вузлів. Крім того, приймається до уваги загальний рівень підготовки студента по даній дисципліні у цілому і по схожих дисциплінах, матеріал яких використовувався у курсовій роботі.

ПЕРЕЛІК ПОСИЛАНЬ

- 1 Бойко В.И. и др. Схемотехника электронных систем. Микропроцессоры и микроконтроллеры.-СПб.: БХВ-Петербург, 2004. -453 с.
- 2 Солонина А.И., Улахович Д.А., Яковлев Л.А. Алгоритмы и процессоры цифровой обработки сигналов.-СПб.: БХВ-Петербург, 2002. – 454 с.
- 3 Стешенко В.Б. ПЛИС фирмы «Altera»: элементная база, система проектирования и языки описания аппаратуры.- М.: Изд. Дом «Додека-XXI», 2002. – 573 с.
- 4 В.В. Корнеев, А.В. Киселев Современные микропроцессоры. – М.: НОЛИДЖ, 1998. – 240 с.
- 5 Швец В.А. и др. Одноплатные микроконтроллеры. Проектирование и применение. К.: «МК-Пресс», 2005. – 304 с.
- 6 М. Гук Аппаратные средства IBM PC. Энциклопедия.- СПб.: ПИТЕР, 2001. – 816 с.
- 7 Ю.М. Казаринов, В.Н. Номоконов, В.В. Филиппов Применение микропроцессоров и микро-ЭВМ в радиотехнических системах. Учебн. пособие для ВУЗов. – М.: Высш. школа, 1988. – 207 с.
- 8 В.П. Корячко Микропроцессоры и микро-ЭВМ в радиотехнических средствах. – М.: Высш. школа, 1990.– 239 с.
- 9 Г.И. Пухальский, Т.Я. Новосельцева Проектирование дискретных устройств на интегральных микросхемах. Справочник. – М.: Радио и связь, 1990. – 220 с.
- 10 В.В. Сташин и др. Проектирование цифровых устройств на однокристалльных микроконтроллерах. – М.: Энергоатомиздат, 1990. – 189 с.
- 11 Козаченко В.Ф. Микроконтроллеры. Руководство по применению 18-разрядных МК Intel MCD 196-296 во встроенных системах управления.- М.: ЭКОМ, 1997. – 688 с.
- 12 Гребнев В.В. Однокристалльные микроЭВМ серии AT89 фирмы Atmel.- СПб.: Питер, 1998. – 76 с.

- 13 Каторин Ю.Ф. и др. Большая энциклопедия промышленного шпионажа.- СПб.: Питер, 2000.- 766 с.
- 14 Дитер Кохц Измерение, управление и регулирование с помощью микроконтроллеров.: Пер. с нем.- К.: «МК-Пресс», 2007.-304 с.
- 15 Тавернье Ж. PIC- контроллеры. – М.: ДМК, 1999. – 220 с.
- 16 Соловьев В.В. Проектирование цифровых схем на основе программируемых логических ИС.– М.: ДМК Пресс, 2001. – 550 с.
- 17 Рудометов Е.А. Материнские платы и чипсеты. -2-е изд. СПб.: Питер, 2001.- 650 с.
- 18 Евстифеев И.В. Микроконтроллеры AVR.-М.: ДМК Пресс, 2000. – 300 с.
- 19 Бибило П.Н. Основы языка VHDL. – М.: СОЛОН-Р, 2002. – 310 с.
- 20 Белов А.В. Самоучитель по микропроцессорной технике. – СПб.: НиТ, 2003. – 330 с.
- 21 Уайндер С. Справочник по технологиям и средствам связи. Пер. с англ.- М.: МИР, 2000. – 429 с.
- 22 Шелухин О.И. , Лукьянцев Н.Ф. Цифровая обработка и передача речи / Под ред. О.И. Шелухина.- М.: Радио и связь, 2000.
- 23 Барри Уилкинсон Основы проектирования цифровых схем.: Пер. с англ.- М.: Изд. дом «Вильямс», 2004. -318 с.
- 24 Новиков Ю.А., Калашников О.А., Гуляев С.Э. Разработка устройств сопряжения для персонального компьютера IBM PC. Под общ. ред. Ю.В. Новикова. Практич. пособие.- М.: ЭКОМ, 1997.- 224 с.
- 25 Пей Ан Сопряжение ПК с внешними устройствами. Пер. с англ.-2-е изд.-М.: ДМК-Пресс, 2004.- 315 с.